

(1) Japanese Patent Application Laid-Open No. 2001-144266:
“SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND METHOD OF
MANUFACTURING THE SAME”

The following is an extract relevant to the present application.

As shown in Fig. 4, a ruthenium film 44 is formed to bury a hole 43.

Next, as shown in Fig. 5, the ruthenium film 44 over a silicon oxide film 42 is removed with the etch back method to leave the ruthenium film 44 only in the hole 43, thereby forming a lower electrode 45. The CMP method may be used instead of the etch back method.

Then, as shown in Fig. 6, the silicon oxide film 42 is removed to expose a side face of the lower electrode 45.

Next, as shown in Fig. 7, a BST film 46 is formed. The BST film 46 serves as a capacitor insulating film of a DRAM.

Thereafter, as shown in Fig. 8, a ruthenium film 47 to be a first layer is formed. The ruthenium film 47, along with a tungsten film (second layer) 48, constitutes an upper electrode of a DRAM capacitor.

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2001-144266

(P 2001-144266A)

(43)公開日 平成13年5月25日(2001.5.25)

(51)Int.Cl. ⁷	識別記号	F I	ターマコード [*] (参考)
H01L 27/108		H01L 27/10	651 5F033
21/8242		21/88	R 5F083
21/3205		21/90	A
21/768		27/10	621 C
		681	F
審査請求 未請求 請求項の数23 O L (全31頁)			

(21)出願番号 特願平11-320725

(22)出願日 平成11年11月11日(1999.11.11)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 中村 吉孝

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72)発明者 浅野 勇

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(74)代理人 100080001

弁理士 筒井 大和

最終頁に続く

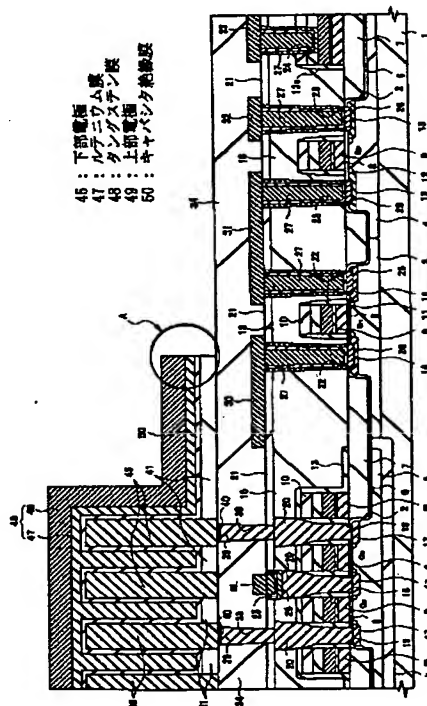
(54)【発明の名称】 半導体集積回路装置およびその製造方法

(57)【要約】

【課題】 キャパシタ上部電極と上層配線に接続するプラグとの間の導通信頼性を高く維持し、接続不良が生じないようにする。また、キャパシタ上部電極の抵抗を低減する。

【解決手段】 ルテニウムからなる下部電極45とBSTからなるキャパシタ絶縁膜50と上部電極49とからなるDRAMのキャパシタにおいて、上部電極49を、キャパシタ絶縁膜50側に形成されたルテニウム膜47と、その上層に形成されたタングステン膜48との積層構成とする。

図10



【特許請求の範囲】

【請求項1】 メモリセル毎に設けられた情報蓄積容量素子用の第1電極と、前記第1電極に対向して形成された第2電極と、前記第1および第2電極間に形成された容量絶縁膜と、前記第2電極上に形成された配線と、前記配線と第2電極とを電氣的に接続する接続部材とを含む半導体集積回路装置であって、

前記接続部材には、酸素と反応して不導体または高抵抗体である金属酸化物を生成する金属が含まれ、

前記第2電極は、前記容量絶縁膜側に形成された第1層と、前記配線側に形成された第2層とを含み、

前記第2層には、前記金属酸化物を形成しない程度、または、前記金属酸化物が前記第2層と前記接続部材との間の電氣的導通を阻害しない程度に酸素が含まれることを特徴とする半導体集積回路装置。

【請求項2】 メモリセル毎に設けられた情報蓄積容量素子用の第1電極と、前記第1電極に対向して形成された第2電極と、前記第1および第2電極間に形成された容量絶縁膜と、前記第2電極上に形成された配線と、前記配線と第2電極とを電氣的に接続する接続部材とを含み、前記容量絶縁膜が高誘電体層または強誘電体層からなる半導体集積回路装置であって、

前記接続部材には、酸素と反応して不導体または高抵抗体である金属酸化物を生成する金属が含まれ、

前記第2電極は、前記容量絶縁膜側に形成された第1層と、前記配線側に形成された第2層とを含み、

前記第2層には酸素が含まれないことを特徴とする半導体集積回路装置。

【請求項3】 請求項1または2記載の半導体集積回路装置であって、

前記接続部材には窒化チタン層を含むことを特徴とする半導体集積回路装置。

【請求項4】 メモリセル毎に設けられた情報蓄積容量素子用の第1電極と、前記第1電極に対向して形成された第2電極と、前記第1および第2電極間に形成された容量絶縁膜と、前記第2電極を覆う絶縁膜とを含み、前記容量絶縁膜が高誘電体層または強誘電体層からなる半導体集積回路装置であって、

前記第2電極は、前記容量絶縁膜側に形成された第1層と、前記第1層上に形成された導電性の第2層とを含み、

前記第2層は、前記絶縁膜をエッチングする条件において、前記第1層を構成する材料よりもエッチング速度が小さい材料で構成されることを特徴とする半導体集積回路装置。

【請求項5】 メモリセル毎に設けられた情報蓄積容量素子用の第1電極と、前記第1電極に対向して形成された第2電極と、前記第1および第2電極間に形成された容量絶縁膜とを含み、前記容量絶縁膜が高誘電体層または強誘電体層からなる半導体集積回路装置であって、

前記第2電極は、前記容量絶縁膜側に形成された第1層と、前記第1層上に形成された第2層とを含み、

前記第2層は、前記第1層を構成する材料よりも酸化性雰囲気において揮発速度が小さい材料で構成されることを特徴とする半導体集積回路装置。

【請求項6】 メモリセル毎に設けられた情報蓄積容量素子用の第1電極と、前記第1電極に対向して形成された第2電極と、前記第1および第2電極間に形成された容量絶縁膜とを含み、前記容量絶縁膜が高誘電体層または強誘電体層からなる半導体集積回路装置であって、

前記第2電極は、前記容量絶縁膜側に形成された第1層と、前記第1層上に形成された第2層とを含み、

前記第2層は、前記第1層を構成する材料よりも抵抗率の低い材料で構成されることを特徴とする半導体集積回路装置。

—【請求項7】—メモリセル毎に設けられた情報蓄積容量素子用の第1電極と、前記第1電極に対向して形成された第2電極と、前記第1および第2電極間に形成された容量絶縁膜とを含み、前記容量絶縁膜が高誘電体層または強誘電体層からなる半導体集積回路装置であって、前記第2電極は、前記容量絶縁膜側に形成された第1層と、前記第1層上に形成された第2層とを含み、前記第2電極の内部応力は、前記第1層を構成する材料で前記第2電極を構成した場合の内部応力よりも低いことを特徴とする半導体集積回路装置。

【請求項8】 メモリセル毎に設けられた情報蓄積容量素子用の第1電極と、前記第1電極に対向して形成された第2電極と、前記第1および第2電極間に形成された容量絶縁膜とを含み、前記容量絶縁膜が高誘電体層または強誘電体層からなる半導体集積回路装置であって、前記第2電極は、前記容量絶縁膜側に形成された第1層と、前記第1層上に形成された第2層とを含み、前記第2層材料を異方性ドライエッチング加工した場合の加工断面におけるテーパ面と下地とのなす角度は、同一エッチング条件下での前記第1層材料の加工断面におけるテーパ面と下地とのなす角度よりも大きいことを特徴とする半導体集積回路装置。

【請求項9】 メモリセル毎に設けられた情報蓄積容量素子用の第1電極と、前記第1電極に対向して形成された第2電極と、前記第1および第2電極間に形成された容量絶縁膜とを含み、前記容量絶縁膜が高誘電体層または強誘電体層からなり、前記第1電極が柱状または筒状の立体形状で形成された半導体集積回路装置であって、前記第2電極は、前記容量絶縁膜側に形成された第1層と、前記第1層上に形成された第2層とを含み、

前記第1層の膜厚 T_1 は、 $T_1 > (d - 2 \times T_{ins}) / 2$ 、の条件を満たし、

前記第2層の膜厚 T_2 は、 $T_2 > T_1$ 、の条件を満たすことを特徴とする半導体集積回路装置。ただし、 d は前記第1電極の隣接間距離または前記第1電極の円筒内径

寸法であり、 T_{ins} は前記容量絶縁膜の膜厚である。

【請求項 10】 メモリセル毎に設けられた情報蓄積容量素子の第 1 電極と、前記第 1 電極に対向して形成された第 2 電極と、前記第 1 および第 2 電極間に形成された容量絶縁膜とを含み、前記容量絶縁膜が高誘電体層または強誘電体層からなる半導体集積回路装置であって、前記第 2 電極は、前記容量絶縁膜側に形成された第 1 層と、前記第 1 層上に形成された第 2 層とを含み、前記第 1 層および第 2 層端部の断面形状がテーパ状に加工されていることを特徴とする半導体集積回路装置。

【請求項 11】 請求項 10 記載の半導体集積回路装置であって、前記断面形状は、前記テーパ状の加工面の上端から下地面に下ろした垂線の足から前記テーパ面の下端までの距離が、最小加工寸法の 2 分の 1 以上の値であることを特徴とする半導体集積回路装置。

【請求項 12】 請求項 1～11 の何れか一項に記載の半導体集積回路装置であって、前記第 1 層は、貴金属膜、そのシリサイド膜もしくは酸化膜、または、それらの化合物膜であることを特徴とする半導体集積回路装置。

【請求項 13】 請求項 12 記載の半導体集積回路装置であって、前記第 1 層は、白金膜、ルテニウム膜、ルテニウムシリサイド膜、または、 $SrRuO_4$ 膜であることを特徴とする半導体集積回路装置。

【請求項 14】 請求項 12 または 13 記載の半導体集積回路装置であって、前記容量絶縁膜は、 $BaSrTiO_3$ 膜、 $STO(SrTiO_3)$ 膜、または、酸化タンタル (Ta_2O_5) 膜であることを特徴とする半導体集積回路装置。

【請求項 15】 請求項 1～11 の何れか一項に記載の半導体集積回路装置であって、前記第 1 層は、窒化チタン膜であり、前記容量絶縁膜は、酸化タンタル (Ta_2O_5) 膜であることを特徴とする半導体集積回路装置。

【請求項 16】 請求項 1～15 の何れか一項に記載の半導体集積回路装置であって、前記第 2 層は、IVb 族、Vb 族もしくは VIb 族元素からなる金属膜またはそれらの窒化膜、シリサイド膜もしくは化合物膜であることを特徴とする半導体集積回路装置。

【請求項 17】 請求項 16 記載の半導体集積回路装置であって、前記第 2 層は、タングステン (W) 膜、チタン (Ti) 膜、タンタル (Ta) 膜、窒化タングステン (WN) 膜、窒化チタン (TiN) 膜、窒化タンタル (Ta₂N) 膜、チタンアルミニウムナイトライド (TiAlN) 膜、チタンシリコンナイトライド (TiSiN) 膜、タ

ングステンシリコンナイトライド (WSiN) 膜、または、タンタルシリコンナイトライド (TaSiN) 膜であることを特徴とする半導体集積回路装置。

【請求項 18】 請求項 1～17 の何れか一項に記載の半導体集積回路装置であって、前記第 2 電極には、前記第 1 および第 2 層に加えて、窒化チタン膜、チタンシリコンナイトライド膜、またはチタン化合物膜からなる第 3 層を有することを特徴とする半導体集積回路装置。

10 【請求項 19】 請求項 1～18 の何れか一項に記載の半導体集積回路装置であって、前記第 1 電極は、貴金属膜、そのシリサイド膜もしくは酸化膜、または、それらの化合物膜であることを特徴とする半導体集積回路装置。

【請求項 20】 請求項 19 記載の半導体集積回路装置であって、前記第 1 電極は、白金膜、ルテニウム膜、ルテニウムシリサイド膜、または、 $SrRuO_4$ 膜であることを特徴とする半導体集積回路装置。

20 【請求項 21】 請求項 1～20 の何れか一項に記載の半導体集積回路装置であって、前記第 2 電極と同一層にローカル配線を有し、前記ローカル配線は、前記第 2 電極と同一工程で形成されるものであることを特徴とする半導体集積回路装置。

【請求項 22】 (a) 半導体基板の主面の MISFET 上に第 1 層間絶縁膜を介してビット線および第 1 層配線を形成し、第 2 層間絶縁膜および電極形成用絶縁膜を形成し、前記電極形成用絶縁膜に孔を加工する工程、

(b) 前記孔の内部を埋め込む金属または金属化合物を形成した後、前記電極形成用絶縁膜を除去することにより、または、前記孔の内壁を覆う金属膜または金属化合物膜を形成することにより、柱状または筒状の第 1 電極を形成する工程、

(c) 前記第 1 電極を覆う強誘電性または高誘電性の容量絶縁膜を堆積し、さらに第 1 導電層および第 2 導電層を堆積する工程、

(d) 前記第 1 および第 2 導電層をパターニングすることにより第 2 電極を形成する工程、

40 (e) 前記第 2 電極を覆う第 3 層間絶縁膜を堆積し、前記第 2 電極に達する第 1 接続孔および前記第 1 層配線に達する第 2 接続孔の加工をエッチングにより施す工程、を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 23】 請求項 22 記載の半導体集積回路装置の製造方法であって、前記第 2 電極をエッチングする工程において、前記第 2 層をエッチングした後、パターニングされた前記第 2 層をマスクとして前記第 1 層をエッチングすることを特徴とする半導体集積回路装置の製造方法。

50 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造技術に関し、特に、DRAM (Dynamic Random Access Memory) を有する半導体装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】DRAMのメモリセルは、一般に、半導体基板の主面上にマトリクス状に配置された複数のワード線と複数のビット線との交点に配置される。1個のメモリセルは、それを選択する1個のMISFET (Metal Insulator Semiconductor Field Effect Transistor) と、このMISFETに直列に接続された1個の情報蓄積容量素子 (キャパシタ) とで構成される。

【0003】メモリセル選択用のMISFETは、周囲を素子分離領域で囲まれた活性領域に形成され、主として、ゲート酸化膜、ワード線と一体に構成されたゲート電極およびソース、ドレインを構成する一対の半導体領域で構成される。このMISFETは、通常1つの活性領域に2個形成され、2つのMISFETの一方のソース・ドレイン (半導体領域) が前記活性領域の中央部で共有される。ビット線は、前記MISFETの上部に配置され、共有された前記半導体領域と電気的に接続される。キャパシタは、同じく前記MISFETの上部に配置され、上記ソース、ドレインの他方と電気的に接続される。

【0004】たとえば特開平7-7084号公報は、ビット線の上部にキャパシタを配置するキャパシタ・オーバー・ビットライン (Capacitor Over Bit-line) 構造のDRAMを開示している。この公報に記載されたDRAMでは、ビット線の上部に配置したキャパシタの下部電極 (蓄積電極) を円筒状に加工し、この下部電極上に容量絶縁膜と上部電極 (プレート電極) とを形成する構造を採用している。下部電極を円筒状に加工することによってその表面積を増加し、メモリセルの微細化に伴うキャパシタの蓄積電荷量 (Cs) の減少を補うようにしている。このように、COB構造を有するメモリセルにおいては、半導体記憶装置としての動作信頼度を確保する必要上、キャパシタの構造に対して相当の立体化が必須となっている。

【0005】ところが、キャパシタ構造の立体化によっても近年の集積化された半導体装置、特に256Mbit (メガビット) 相当以降のDRAMにおいては、必要な容量値 (蓄積電荷量) の確保が困難になることが予想される。

【0006】そこで、1996年11月10日、応用物理学会発行、「応用物理」65巻、11号、p1111~1112に記載されているように、酸化タンタル (Ta_2O_5)、あるいはSTO ($SrTiO_3$)、BST ($Ba_{1-x}Sr_xTiO_3$) 等の高誘電体 (強誘電体) 材料をキャパシタの絶縁膜に用いることが検討されてい

る。 Ta_2O_5 は比誘電率が20程度と高く、また、STO、BSTは比誘電率が200~500程度ときわめて高い。そこでこれらの高誘電率膜を用いれば、従来用いられているシリコン酸化膜、シリコン窒化膜に比較して高い容量値を実現することが容易になる。特に、STO、BSTは誘電率が高く、容量値増加の効果が顕著に得られることが期待される。

【0007】STO、BSTの成膜は、酸化性雰囲気中で実施される。このため、従来用いられているシリコン材料をキャパシタ用の電極に用いれば、電極界面に誘電率の低いシリコン酸化膜が形成され好ましくない。そこでキャパシタ用の電極材料には耐酸化性に優れたRu (ルテニウム)、Pt (白金)、 RuO_3 (酸化ルテニウム) 等が検討されている。

【0008】

【発明が解決しようとする課題】しかし、Ru、Pt等貴金属、あるいはそれらのシリサイド物、酸化物等を電極材料に用いる場合、特に上部電極にそれらの材料を用いる場合、以下のような問題があることを本発明者らは認識した。以下に説明する問題点は特に公知にされているわけではなく、本発明者らの実験検討により認識されたものである。なお、本明細書において貴金属とは、金 (Au)、銀 (Ag)、白金族 (ルテニウム (Ru)、ロジウム (Rh)、パラジウム (Pd)、オスミウム (Os)、イリジウム (Ir)、および、白金 (Pt)) をいうものとする。

【0009】すなわち、第1のp問題は、前記貴金属等を上部電極に用いる場合、上層配線とのコンタクト部分 (スルーホールプラグ) と、上部電極との電気的接続が不安定になる、あるいは接続不良を生じるという問題である。

【0010】このような問題の生じる第1の原因は、上部電極を構成する貴金属等に含まれる酸素にある。Ru、Pt等の貴金属類を被膜として形成する場合、CVD法を用いる。このCVD工程では原料ガスに酸素が含まれるため、形成された貴金属被膜に酸素が含まれる。また、 RuO_3 のようにそもそも被膜構成元素に酸素が含まれている場合もある。さらに、上部電極に接続するためのスルーホールを、その上部電極を覆う層間絶縁膜に開口する際、一般にフォトリソ膜を用いるが、このフォトリソ膜をアッシングにより除去する際に、スルーホール下部の上部電極 (貴金属等からなる被膜) にアッシング雰囲気中の酸素が吸蔵される。これら被膜中の酸素が、スルーホールプラグを形成した後の熱処理等により、プラグを構成する金属と反応し、金属酸化物を形成する。プラグは一般に窒化チタン等のバリアメタルとタングステン等の主導電層で構成されるが、この場合、バリアメタル内のチタンと前記酸素が反応し、抵抗率の高い酸化チタンが形成される。このような酸化チタンは構造上上部電極とプラグとの間に形成されるから、

上部電極とプラグとの間の電氣的接触が阻害されることとなり、前記したような電氣的接続の不安定化（接続信頼性の低下）という問題を生じる。

【0011】第2の原因は、上部電極を構成する貴金属等と、上部電極を覆う層間絶縁膜であるシリコン酸化膜とのエッチング選択比が実質的にとれないことにある。上部電極に接続するためのスルーホール形成は、層間絶縁膜であるシリコン酸化膜に開口を形成することにより行われる。この開口形成は一般にフォトリソ膜をマスクとしたシリコン酸化膜のドライエッチングにより行われる。この際、シリコン酸化膜と下部電極を構成する貴金属類とのエッチング選択比が十分にとれないため、スルーホールが上部電極を貫通して形成される。このように上部電極を貫通してスルーホールが形成されるため、スルーホール内のプラグと上部電極との接触面積が小さくなり、前記した接続信頼性の低下の問題が生ずる。エッチング時間を制御することにより、上部電極の表面でエッチングが終了するように調整する手法も考え得るが、以下のような理由で困難である。すなわち、前記のように上部電極への給電はその上層配線からスルーホールプラグを介して行われるが、上層配線からの給電あるいは配線接続は、ビット線と同一の配線層に形成される配線（第1層配線）にも行われる。つまり、前記スルーホールには上部電極に接続するためのプラグ用のものと、第1層配線に接続するプラグ用のものと2種以上のスルーホールがある。そしてビット線（第1層配線）はキャパシタよりも下層に形成されるため、上部電極接続用のスルーホールの深さは第1層配線接続用のスルーホールの深さより浅くなる。これらスルーホールを別工程で形成すれば工程の増加を来すため、同時に加工せざるを得ない。このため、上部電極の表面でエッチングを停止させると第1層配線に達するスルーホールを形成できず、逆に第1層配線に達するスルーホールを加工すれば上部電極にエッチング選択比がとれない以上これを貫通してスルーホールを形成せざるを得ない。

【0012】さらに、上部電極を貫通してスルーホールが形成された場合、特に上部電極が酸化性雰囲気中で揮発する材料（たとえばRu、RuO₂）で構成されている時には、スルーホール加工（エッチング）後のフォトリソ膜の除去（アッシング）工程により、スルーホール下部の上部電極がエッチングされてスルーホール断面から後退する問題もある。この場合、スルーホール形成後にプラグ形成を行っても、スルーホール断面から下部電極材料が後退しているため、正常な接触がなされず、接続不良を生じる。このような下部電極材料のアッシングによる揮発あるいはエッチングの問題は、スルーホールが下部電極を貫通しない場合にも生じうるが、貫通している場合に特に深刻である。

【0013】第2の問題は、上部電極に貴金属類を用いる場合、上部電極の抵抗値を低くできないという問題で

ある。メモリセルを読み出す時の過渡状態では上部電極電位（基準電位）の変動が生じており、上部電極の抵抗値を小さくできなければ、このような過渡変動の影響が大きい。この結果読み出しエラーを生じる可能性がある。また、外部ノイズを遮断する観点からも上部電極の抵抗値は小さいことが好ましい。

【0014】このような問題の生ずる原因は、貴金属類の膜厚を大きくできないことにある。つまり、貴金属類は、その内部応力（圧縮性応力）が大きく、その膜厚を厚くすればストレスの影響によりキャパシタ特性が劣化するためである。

【0015】本発明の目的は、キャパシタ上部電極と上層配線に接続するプラグとの間の導通信頼性が高い、また、接続不良が生じない半導体集積回路装置を提供することにある。

【0016】また、本発明の他の目的は、キャパシタ上部電極の抵抗を低減できる半導体集積回路装置を提供することにある。

【0017】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0018】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0019】本発明の半導体集積回路装置は、第1電極（下部電極）、第2電極（上部電極）および容量絶縁膜（強誘電体または高誘電体膜）からなるキャパシタを含み、キャパシタ上の配線（第2層配線）と第2電極とが接続部材（スルーホールプラグ）で接続された半導体集積回路装置であり、接続部材には酸化して導電性を損なう金属が含まれ、第2電極は第1層（下層）と第2層（上層）とを含み、第2層には金属酸化物を形成しない程度、または、金属酸化物が第2層と接続部材との間の電氣的導通を阻害しない程度に酸素が含まれるものである。あるいは、第2層には酸素が含まれないものである。

【0020】このような半導体集積回路装置によれば、第2層に酸素が含まれないか、含まれたとしても導電性を阻害する金属酸化物の形成がほとんどなされない程度に含まれるため、第2層と接続部材との間には、導電性を阻害する物質が形成されず、キャパシタの上部電極とスルーホールプラグとの接続信頼性が向上する。この結果、半導体集積回路装置の信頼性を向上できる。

【0021】なお、接続部材には窒化チタンからなるバリア層または接着層を含むことができる。接続部材の窒化チタン（TiN）を含むため、仮に接続部材に接触する上部電極に酸素が含まれると窒化チタン内のチタンと酸素とが化合し、導電性を阻害する酸化チタン（TiO）が形成される。しかし、本発明では、第2層には酸

素を含まないか、含んでもその量はわずかであるため、酸化チタン (TiO) は形成されず、接続部材と第2層との接続は良好に保たれる。この結果、第2電極と接続部材との接続を良好にできる。

【0022】なお、本発明の場合、接続部材は第2電極を貫通して形成されても良い。このような場合であっても、第1層と接続部材との接続が良好にならなくても、少なくとも第2層と接続部材との接続を良好にでき、結果として第2電極と接続部材との接続を良好にできる。

【0023】また、本発明の半導体集積回路装置は、第1電極 (下部電極)、第2電極 (上部電極) および容量絶縁膜 (強誘電体または高誘電体膜) からなるキャパシタを含み、キャパシタ上の配線 (第2層配線) と第2電極とが接続部材 (スルーホールプラグ) で接続された半導体集積回路装置であり、第2電極は第1層 (下層) と第2層 (上層) とを含み、第2層は絶縁膜をエッチングする条件において第1層を構成する材料よりもエッチング速度が小さい材料で構成されるものである。

【0024】このような半導体集積回路装置によれば、第2層上の層間絶縁膜 (たとえばシリコン酸化膜) に接続孔 (スルーホール) を開口するエッチング工程において、第2層をエッチングストッパとして機能させることができる。これにより、スルーホールの第2電極への貫通を防止し、スルーホールプラグと第2電極との接続信頼性を向上できる。また、より深い孔深さを有する接続孔 (たとえばキャパシタより下層に形成される第1層配線に接続する接続孔) と同時に形成でき、接続孔形成工程を簡略化することができる。

【0025】また、本発明の半導体集積回路装置は、第1電極 (下部電極)、第2電極 (上部電極) および容量絶縁膜 (強誘電体または高誘電体膜) からなるキャパシタを含み、キャパシタ上の配線 (第2層配線) と第2電極とが接続部材 (スルーホールプラグ) で接続された半導体集積回路装置であり、第2電極は第1層 (下層) と第2層 (上層) とを含み、第2層は、第1層を構成する材料よりも耐酸化性を有する材料、または、酸化性雰囲気において揮発速度が小さい材料で構成されるものである。

【0026】このような半導体集積回路装置によれば、第2層の耐酸化性が高いため、また、酸化性雰囲気における揮発性が小さいため、スルーホール加工後のフォトリジスト膜除去工程 (アッシング工程) において、第2層のダメージおよび揮発を抑制できる。この場合、第1層が酸化性に乏しく、あるいは酸化性雰囲気における揮発性を有する材料 (たとえばルテニウム) で構成されても、第2層がアッシング雰囲気におけるブロッキング膜として機能し、第1層のエッチングあるいは揮発を防止できる。

【0027】また、本発明の半導体集積回路装置は、第1電極 (下部電極)、第2電極 (上部電極) および容量

絶縁膜 (強誘電体または高誘電体膜) からなるキャパシタを含み、キャパシタ上の配線 (第2層配線) と第2電極とが接続部材 (スルーホールプラグ) で接続された半導体集積回路装置であり、第2電極は第1層 (下層) と第2層 (上層) とを含み、第2層は、第1層を構成する材料よりも抵抗率の低い材料で構成される。

【0028】このような半導体集積回路装置によれば、第2層に抵抗率の低い材料が用いられるため、第2電極の抵抗値を低減し、半導体集積回路装置の性能を向上できる。

【0029】また、本発明の半導体集積回路装置は、第1電極 (下部電極)、第2電極 (上部電極) および容量絶縁膜 (強誘電体または高誘電体膜) からなるキャパシタを含み、キャパシタ上の配線 (第2層配線) と第2電極とが接続部材 (スルーホールプラグ) で接続された半導体集積回路装置であり、第2電極は第1層 (下層) と第2層 (上層) とを含み、第2電極の内部応力は、第1層を構成する材料で第2電極を構成した場合の内部応力よりも低いものである。

【0030】このような半導体集積回路装置によれば、第1層材料 (たとえばルテニウム) で第2電極全体を構成した場合に比べて、第2層材料 (たとえばタングステン) と第1層材料の積層膜で第2電極を構成した場合の方が内部応力を低減できる。第1層材料として用いる貴金属は一般に内部応力が大きく、そのような貴金属で第2電極を構成すると、キャパシタ特性 (たとえばリーク電流) が増大し、DRAMのリフレッシュ特性が劣化する。本半導体集積回路装置では、内部応力が低減できるため、そのような問題を回避できる。

【0031】また、本発明の半導体集積回路装置は、第1電極 (下部電極)、第2電極 (上部電極) および容量絶縁膜 (強誘電体または高誘電体膜) からなるキャパシタを含み、キャパシタ上の配線 (第2層配線) と第2電極とが接続部材 (スルーホールプラグ) で接続された半導体集積回路装置であり、第2電極は第1層 (下層) と第2層 (上層) とを含み、第2層材料を異方性ドライエッチング加工した場合の加工断面におけるテーパ面と下地とのなす角度は、同一エッチング条件下での第1層材料の加工断面におけるテーパ面と下地とのなす角度よりも大きいものである。

【0032】すなわち、第2電極材料の方が第1電極材料よりもエッチング加工性に優れる。このため、第1層および第2層で構成する第2電極の加工性は、第1層材料で第2電極を構成した場合と比較して優れている。

【0033】また、本発明の半導体集積回路装置は、第1電極 (下部電極)、第2電極 (上部電極) および容量絶縁膜 (強誘電体または高誘電体膜) からなるキャパシタを含み、キャパシタ上の配線 (第2層配線) と第2電極とが接続部材 (スルーホールプラグ) で接続された半導体集積回路装置であり、第2電極は第1層 (下層) と

第2層(上層)とを含み、第1電極が柱状または筒状の立体形状で形成されており、第1層の膜厚 $T1$ は、 $T1 > (d - 2 \times T_{ins}) / 2$ 、の条件を満たし、第2層の膜厚 $T2$ は、 $T2 > T1$ 、の条件を満たすものである。ただし、 d は第1電極の隣接間距離または第1電極の円筒内径寸法であり、 T_{ins} は容量絶縁膜の膜厚である。

【0034】すなわち、 $T1 > (d - 2 \times T_{ins}) / 2$ の条件より、第1層は少なくとも下部電極(第1電極)とキャパシタ絶縁膜による凹凸を埋め込むに必要な膜厚が要求される。第1層は通常ルテニウム等の貴金属で構成されるから、内部応力を低減する観点から、その膜厚は前記条件を満たす限りできるだけ薄いことが好ましい。一方、 $T2 > T1$ の条件より、第2層の膜厚を第1層の膜厚より厚く形成して必要な導電率を確保し、且つ、第2電極全体の応力を少なくすることができる。

【0035】また、本発明の半導体集積回路装置は、第1電極(下部電極)、第2電極(上部電極)および容量絶縁膜(強誘電体または高誘電体膜)からなるキャパシタを含み、キャパシタ上の配線(第2層配線)と第2電極とが接続部材(スルーホールプラグ)で接続された半導体集積回路装置であり、第2電極は第1層(下層)と第2層(上層)とを含み、第1層および第2層端部の断面形状がテーパー状に加工されているものである。この断面形状は、テーパー面の上端から下地面に下ろした垂線の足からテーパー面の下端までの距離が、最小加工寸法の2分の1以上の値となるように形成できる。

【0036】このように第1層および第2層の端部をテーパー状に加工することにより、半導体集積回路装置の信頼性および歩留まりを向上できる。すなわち、第1層(たとえばルテニウム等の貴金属)は第2層と比較してエッチング加工性に劣る。このため、第1層のエッチング断面には揮発性に乏しいサイドフィルム(たとえば酸化ルテニウム)が形成される。このようなサイドフィルムを有した状態でその後の工程を進めると、洗浄工程等でこのサイドフィルムがエッチング断面から剥離し、塵となる。このような塵は半導体集積回路装置の歩留まりを低下させる要因となり好ましくない。そこで本発明のように、第2電極のエッチングをテーパー状に行い、サイドフィルムが形成されないようにする。このようにすれば、塵の発生を抑制し、半導体集積回路装置の歩留まりの向上および信頼性の向上に寄与できる。

【0037】なお、前記半導体集積回路装置において、第1層は、貴金属膜、そのシリサイド膜もしくは酸化膜、または、それらの化合物膜とすることができる。第1層には、白金膜、ルテニウム膜、ルテニウムシリサイド膜、または、 $SRO(SrRuO_3)$ 膜を例示できる。このとき、容量絶縁膜は、 $BST(Ba_{1-x}Sr_xTiO_3)$ 膜、 $STO(SrTiO_3)$ 膜、または、酸化タンタル(Ta_2O_5)膜とすることができる。

【0038】また、第1層は、窒化チタン膜とし、容量絶縁膜は、酸化タンタル(Ta_2O_5)膜とすることができる。

【0039】また、第2層は、IVb族、Vb族もしくはVIb族元素からなる金属膜またはそれらの窒化膜、シリサイド膜もしくは化合物膜とすることができる。第2層には、タングステン(W)膜、チタン(Ti)膜、タンタル(Ta)膜、窒化タングステン(WN)膜、窒化チタン(TiN)膜、窒化タンタル(TaN)膜、チタンアルミニウムナイトライド(TiAlN)膜、チタンシリコンナイトライド(TiSiN)膜、タングステンシリコンナイトライド(WSiN)膜、または、タンタルシリコンナイトライド(TaSiN)膜を例示できる。これらの金属膜あるいは金属化合物膜は、第1層材料よりも耐酸化性、耐エッチング性に優れ、抵抗率の低い材料であり、またストレス(応力)が小さい。このような材料を第2層に適用することにより、前記したような機能を達成できる。

【0040】また、第2電極には、第1および第2層に加えて、窒化チタン膜あるいはチタンシリコンナイトライド膜等チタン化合物膜からなる第3層を形成できる。窒化チタン膜は、水素を吸蔵する作用があり、キャパシタ形成後の水素バリアーとして機能させることができる。キャパシタ絶縁膜には前記の通り酸化金属材料が用いられ、水素の拡散は好ましくない。このように窒化チタン膜を形成することにより、キャパシタ絶縁膜の性能を高く維持できる。

【0041】また、第1電極は、貴金属膜、そのシリサイド膜もしくは酸化膜、または、それらの化合物膜とすることができる。第1電極には、白金膜、ルテニウム膜、ルテニウムシリサイド膜、または、 $SRO(SrRuO_3)$ 膜を例示できる。

【0042】また、本発明の半導体集積回路装置は、第2電極と同一層にローカル配線を有し、ローカル配線は、第2電極と同一工程で形成されるものである。第2層を用いて低抵抗化された第2電極を配線に用いることにより、たとえばメモリマト間の第2電極(プレート電極)間を上層配線を用いることなく接続できる。これにより、上層配線へのスルーホール数を低減して、レイアウトの自由度を増し、半導体集積回路装置の高集積化に寄与できる。

【0043】また、本発明の半導体集積回路装置の製造方法は、半導体基板の主面のMISFET上に第1層間絶縁膜を介してビット線および第1層配線を形成し、第2層間絶縁膜および電極形成用絶縁膜を形成し、電極形成用絶縁膜に孔を加工する工程、孔の内部を埋め込む金属または金属化合物を形成した後、電極形成用絶縁膜を除去することにより、または、孔の内壁を覆う金属膜または金属化合物膜を形成することにより、柱状または筒状の第1電極を形成する工程、第1電極を覆う強誘電性

または高誘電性の容量絶縁膜を堆積し、さらに第1導電層および第2導電層を堆積する工程、第1および第2導電層をエッチングすることにより第2電極を形成する工程、第2電極を覆う第3層間絶縁膜を堆積し、第2電極に達する第1接続孔および第1層配線に達する第2接続孔の加工をエッチングにより施す工程、を有し、第1接続孔の底部が第2電極に達した後、第2接続孔の底部が第1層配線に達するまでの間、第2層がエッチングのストップパとして機能するものである。

【0044】また、第2電極をエッチングする工程において、第2層をエッチングした後、パターニングされた第2層をマスクとして第1層をエッチングするものである。

【0045】これら半導体集積回路装置の製造方法により、前記した半導体集積回路装置が製造できる。

【0046】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0047】（実施の形態1）図1～図19は、本発明の一実施の形態であるDRAM（Dynamic Random Access Memory）の製造方法を工程順に示した断面図である。なお、基板の断面を示す各図の左側部分はDRAMのメモリセルが形成される領域（メモリセルアレイ）を示し、右側部分は周辺回路領域を示している。

【0048】まず、図1に示すように、半導体基板（以下単に基板という）1上にメモリセルの選択MISFETQs、周辺回路のnチャネル型MISFETQnおよびpチャネル型MISFETQpを形成し、さらに、これらMISFETQs、Qn、Qp上にビット線BLおよび第1層配線30～33を形成する。

【0049】基板1には素子分離溝2が形成され、ウェット酸化あるいはドライ熱酸化により膜厚の薄いシリコン酸化膜6を形成した後、たとえばシリコン酸化膜7を素子分離溝2に埋め込む。これをたとえばCMP（Chemical Mechanical Polishing）法により研磨して素子分離溝2の内部に残し、素子分離領域を形成する。さらに、基板1にp型もしくはn型のイオン注入を施し、メモリセルアレイの基板1にp型ウェル3およびn型ウェル5を形成し、周辺回路領域の基板1にp型ウェル3およびn型ウェル4を形成する。その後、約800℃の熱酸化でp型ウェル3およびn型ウェル4のそれぞれの表面に清浄なゲート酸化膜8を形成する。

【0050】MISFETQs、Qn、Qpは以下のようにして形成する。すなわち、ゲート酸化膜8上に、不純物がドーブされた多結晶シリコン膜をたとえばCVD法で堆積し、その後、たとえばスパッタリング法でWN膜とW膜とを堆積する。さらにその上部にCVD法でシリコン酸化膜を堆積する。上記W膜の応力緩和とWN膜

のデンシファイ（緻密化）とを目的とした熱処理を施した後、前記シリコン酸化膜の上部に窒化シリコン膜を堆積する。この窒化シリコン膜をゲート電極パターンにパターニングした後、窒化シリコン膜をマスクにして前記シリコン酸化膜、W膜、WN膜および多結晶シリコン膜をドライエッチングする。これにより、多結晶シリコン膜、WN膜およびW膜からなるゲート電極9が形成される。さらに、これらのゲート電極9の上部にシリコン酸化膜および窒化シリコン膜からなるキャップ絶縁膜10が形成される。なお、メモリセルアレイに形成されたゲート電極9は、ワード線WLとして機能する。

【0051】次に、ゲート電極9の両側のp型ウェル3にn型不純物（リンまたはヒ素）をイオン打ち込みすることによってn⁻型半導体領域11を形成し、n型ウェル4にp型不純物（ホウ素）をイオン打ち込みすることによってp⁻型半導体領域12を形成する。さらに、基板1上に窒化シリコン膜13を堆積した後、メモリセルアレイの基板1の上部をフォトリソ膜（図示せず）で覆い、周辺回路領域の窒化シリコン膜13を異方的にエッチングすることによって、周辺回路領域のゲート電極9の側壁にサイドウォールスペーサ13aを形成する。さらに、周辺回路領域のp型ウェル3にn型不純物（リンまたはヒ素）をイオン打ち込みすることによってn⁺型半導体領域14（ソース、ドレイン）を形成し、n型ウェル4にp型不純物（ホウ素）をイオン打ち込みすることによってp⁺型半導体領域15（ソース、ドレイン）を形成する。ここまでの工程で、周辺回路領域にLDD（Lightly Doped Drain）構造のソース、ドレインを備えたnチャネル型MISFETQnおよびpチャネル型MISFETQpが形成される。

【0052】次に、ゲート電極9の上部にシリコン酸化膜16（たとえばTEOS酸化膜）を堆積し、これをCMP法で研磨してその表面を平坦化する。その後、フォトリソ膜（図示せず）をマスクにしてメモリセルアレイのシリコン酸化膜16をドライエッチングし、さらに、シリコン酸化膜16の下層の窒化シリコン膜13をドライエッチングして2段階のエッチングによりコンタクトホール18、19を形成する。上記コンタクトホール18、19を通じてメモリセルアレイのp型ウェル3（n⁻型半導体領域11）にn型不純物（リンまたはヒ素）のイオンを打ち込み、n⁺型半導体領域17（ソース、ドレイン）を形成する。ここまでの工程で、メモリセルアレイにnチャネル型で構成されるメモリセル選択用MISFETQsが形成される。その後、コンタクトホール18、19の内部に不純物がドーブされた多結晶シリコン膜を埋め込んでプラグ20を形成する。プラグ20は埋め込まれた多結晶シリコン膜をエッチバック（またはCMP法で研磨）して形成する。さらに、シリコン酸化膜16の上部にたとえばCVD法でシリコン酸化膜21を堆積した後、フォトリソ膜（図示せず）

をマスクにしたドライエッチングで周辺回路領域のシリコン酸化膜21およびその下層のシリコン酸化膜16をドライエッチングする。これにより n' 型半導体領域14、 p' 型半導体領域15、ゲート電極9、メモリセルアレイのコンタクトホール18の上部に各々コンタクトホール22、23、24、25を形成する。その後、コンタクトホール22、23、25の底部にシリサイド膜26を形成し、コンタクトホール22、23、24、25の内部にプラグ27を形成する。シリサイド膜26の形成はTi膜とTiN膜とを堆積した後に基板1を約650℃で熱処理することによって、プラグ27の形成はたとえばCVD法でTiN膜およびW膜を堆積した後、これをCMP法で研磨し、コンタクトホール22、23、24、25の内部のみに残すことを行う。

【0053】次に、メモリセルアレイのシリコン酸化膜21の上部にビット線BLを形成し、周辺回路領域のシリコン酸化膜21の上部に第1層目の配線30~33を形成する。ビット線BLおよび第1層目の配線30~33は、例えばシリコン酸化膜21の上部にスパッタリング法でW膜を堆積した後、フォトリソ膜をマスクにしてこのW膜をドライエッチングすることによって形成する。

【0054】次に、ビット線BLおよび第1層目の配線30~33の上部にシリコン酸化膜34を形成する。このシリコン酸化膜34は、前記シリコン酸化膜16と同様の方法で形成する。その後、シリコン酸化膜34にスルーホール38を形成する。スルーホール38の形成は、シリコン酸化膜34の上部にCVD法で多結晶シリコン膜を堆積した後これをパターニングし、さらにこのパターニングされた多結晶シリコン膜の側壁にサイドウォールスペースを形成し、このサイドウォールスペースと多結晶シリコン膜とをマスクにしてエッチングにより形成できる。このようにサイドウォールスペースをもマスクに用いることにより、露光の解像度限界以下の加工寸法でスルーホール38が形成できる。

【0055】次に、スルーホール38の内部にプラグ39を形成する。プラグ39は、スルーホール38の内部を含むシリコン酸化膜34の上部に n 型不純物（リン）をドーブした低抵抗多結晶シリコン膜をCVD法で堆積した後、この多結晶シリコン膜をエッチバックしてスルーホール38の内部のみに残すことによって形成する。次工程で説明するバリア膜40を形成するために、エッチバックを若干過剰に行い、プラグ39の表面がシリコン酸化膜34表面よりも低く、すなわちスルーホール38の上部に凹部が形成されるようにする。

【0056】次に、図2に示すように、プラグ39上にバリア膜40を形成し、さらにシリコン酸化膜34上にシリコン窒化膜41およびシリコン酸化膜42を順次堆積する。

【0057】バリア膜40の材料は、たとえばタングス

テン(W)、タングステンナイトライド(WN)、チタンナイトライド(TiN)、タンタルナイトライド(TaN)、チタンアルミニウムナイトライド(TiAlN)、チタンシリコンナイトライド(TiSiN)、タンタルシリコンナイトライド(TaSiN)、タングステンシリコンナイトライド(WSiN)、ルテニウムシリサイド(RuSi)、タングステンボライド(WB)、チタンボライド(TiB)、タングステンカーバイト(WC)、チタンカーバイト(TiC)等が例示できる。これらの材料を用いたバリア膜40は、後に説明するキャパシタ絶縁膜の酸化処理工程において、酸素の拡散をブロックする機能を有する。この機能については後に詳述する。

【0058】バリア膜40は、たとえばプラグ39およびシリコン酸化膜34の表面にバリア膜40の材料である被膜をCVD法またはスパッタ法により形成し、これをCMP法により研磨し、プラグ39上の凹部（スルーホール38の上部）にのみバリア膜40を残すことにより形成する。

【0059】シリコン窒化膜41とシリコン酸化膜42は、たとえばCVD法により形成できる。シリコン窒化膜41は後に説明する下部電極の機械的強度を保持するために形成する。シリコン窒化膜41の膜厚はたとえば100nmとする。また、シリコン酸化膜42は後に説明する下部電極の形成に用いる。シリコン酸化膜42の膜厚は下部電極の高さを決定する要素となり、キャパシタに要求される容量値から逆算して求められる。下部電極を0.13 μ mの柱状で加工し、キャパシタ絶縁膜としてBST膜を用いてシリコン酸化膜換算の実効膜厚を0.4nmにすることを前提とすれば、シリコン酸化膜42の膜厚は700nmとなる。これにより下部電極のキャパシタとして寄与する部分の高さは700nmとなり、キャパシタの容量値として40fFを確保できる。

【0060】次に、図3に示すように、シリコン酸化膜42およびシリコン窒化膜41に孔43を形成する。孔43の形成には、まず、シリコン酸化膜42上にフォトリソ膜（図示せず）を形成してこれをパターニングする。本実施の形態では、シリコン酸化膜34の形成にCMP法による研磨が用いられているため、シリコン酸化膜34の平坦性が高く、このためシリコン酸化膜42表面の平坦性も高く維持される。このため、シリコン酸化膜42上に形成されるフォトリソ膜への露光を精密に行うことができる。このフォトリソ膜は下部電極形成のためのものであり最小加工寸法でパターニングする必要がある。従って、露光精度を高くできることはこのフォトリソ膜のパターニングにおいては非常に都合がよい。フォトリソ膜は、たとえば0.13 μ mの開口径でパターニングされる。次に、このフォトリソ膜をマスクとしてシリコン酸化膜42およびシリコン窒化膜41にエッチングを施し、孔43を形成する。

このエッチングには 2 段階のエッチングを施すことができる。すなわち、第 1 のエッチングは、シリコン酸化膜がエッチングされるがシリコン窒化膜がエッチングされ難い条件で行い、シリコン酸化膜 4 2 を十分なオーバーエッチングの下でエッチング加工する。この際、シリコン窒化膜 4 1 はエッチングストップパとして機能する。その後、第 2 のエッチングをシリコン窒化膜がエッチングされる条件で行う。このエッチングは、シリコン窒化膜 4 1 がシリコン酸化膜 4 2 と比較して十分に薄い膜厚で形成されているため、多少のオーバーエッチングを施しても下地であるシリコン酸化膜 3 4 が過剰にエッチング

【0061】次に、図 4 に示すように、孔 4 3 を埋め込むようにルテニウム膜 4 4 を形成する。ルテニウム膜 4 4 の膜厚は、たとえば 100 nm ~ 200 nm とする。また、ルテニウム膜 4 4 の形成には CVD 法を用いる。ソース（原料）ガスは、たとえば、Ru (BtCp) / THF を 0.5 sccm、O₂ を 50 sccm とする。ただし、BtCp はブチルシクロペンタ基 (C₄H₉, (C₄H₇) -) である。THF はテトラヒドロフラン (C₄H₈O) であり、溶剤として作用する。

【0062】このように、ルテニウム膜 4 4 を CVD 法により堆積することにより、微細かつ高アスペクト比な孔 4 3 への埋め込みが良好にできる。なお、ここでは、ルテニウム膜 4 4 を例示しているが、ルテニウムに代えて白金を用いても良い。白金を CVD 法により堆積する場合には、ソース（原料）ガスとして、たとえば、(MeCp)Pt(Me) と O₂ とを用いることができる。ただし、Me はメチル基 (CH₃, -) であり、MeCp はメチルシクロペンタ基 (C₅H₇, (CH₃) -) である。

【0063】なお、ルテニウム膜 4 4 の CVD 法による堆積に先立ち、25 nm ~ 100 nm 程度の膜厚のルテニウム膜をスパッタ法により形成しても良い。この場合、スパッタ法によるルテニウム膜がシード膜となりルテニウム膜 4 4 の形成が容易になる。

【0064】次に、図 5 に示すように、シリコン酸化膜 4 2 上のルテニウム膜 4 4 をエッチバック法により除去し、孔 4 3 内にのみルテニウム膜 4 4 を残して、下部電極 4 5 を形成する。エッチバック法に代えて CMP 法を用いても良い。

【0065】なお、下部電極 4 5 の形成後、ルテニウムをデンシファイ（焼き締め）するための熱処理を施しても良い。これにより下部電極 4 5（ルテニウム）の応力緩和を行える。

【0066】次に、図 6 に示すように、シリコン酸化膜 4 2 を除去して、下部電極 4 5 の側面を露出する。シリコン酸化膜 4 2 の除去には、たとえばウェットエッチン

グ法を用いる。このとき、シリコン窒化膜 4 1 がエッチングストップパとして機能する。

【0067】次に、図 7 に示すように、BST 膜 4 6 を形成する。BST 膜 4 6 は、DRAM のキャパシタ絶縁膜として機能する。BST 膜 4 6 の膜厚はたとえば 20 ~ 30 nm とし、CVD 法により形成する。さらに、アズデポ状態の BST 膜 4 6 では、酸素欠陥が多いため、酸素欠陥を回復するための酸化熱処理を行う。酸化熱処理は、たとえば酸素雰囲気中、500 °C ~ 700 °C の温度範囲の条件で行う。ここでは酸素雰囲気を例示したが、酸素に限られず、酸化窒素 (NO、N₂O)、オゾン (O₃) 等の酸化性雰囲気でも良い。本実施の形態では、下部電極 4 5 にルテニウムを用いるため、BST 膜 4 6 の形成とその後の酸化処理により下部電極 4 5 と BST 膜 4 6 の界面に誘電体が形成されることがない。すなわち、BST 膜 4 6 の堆積には酸素または酸素を含むガスが原料として用いられ、また、酸化処理においては BST 膜 4 6 を透過して活性な酸素が下部電極 4 5 との界面にまで達する。このため、下部電極 4 5 表面が酸化され、下部電極 4 5 と BST 膜 4 6 との界面にルテニウムの酸化物（酸化ルテニウム）が形成される。しかし、酸化ルテニウムは導電性物質であり、酸化物の形成により容量絶縁膜の実効膜厚が厚くなることがない。特に、BST 膜 4 6 の誘電率が高いため、低誘電率の絶縁膜が形成されないメリットは大きい。

【0068】次に、図 8 に示すように、第 1 層であるルテニウム膜 4 7 を形成する。ルテニウム膜 4 7 は、次に説明するタングステン膜（第 2 層）4 8 とともに DRAM キャパシタの上部電極を構成する。ルテニウム膜 4 7 は、前記したルテニウム膜 4 4 と同様に CVD 法により形成する。なお、第 1 層には前記したと同様な白金膜を用いても良い。CVD 法を用いることにより、微細に加工された下部電極 4 5 間を良好に埋め込むことができ

る。【0069】前記した CVD 法では、ソースガスとして酸素 (O₂) を用いているため、ルテニウム（または白金）膜 4 7 内に酸素が含有される。このような金属内の酸素は、従来技術においては後の工程で形成されるプラグを構成する金属との金属化合物（たとえば酸化タタン）を形成して、導通不良を発生する可能性がある。しかし本実施の形態では、後に説明するように第 2 層が形成されるため、このような不具合は生じない。

【0070】また、ルテニウム膜 4 7 は、下部電極 4 5 間のスペースを埋め込むに必要な膜厚で形成される。孔 4 3 内にはすでに BST 膜 4 6 が形成されているため、下部電極 4 5 間のスペース d（たとえば 0.13 μm）から BST 膜 4 6 の膜厚 T_{ins}（たとえば 30 nm）の 2 倍を引いた値（たとえば 0.07 μm）の半分（たとえば 35 nm）以上の膜厚が要求される。すなわち、ルテニウム膜 4 7 の膜厚 T₁ は、T₁ > (d - 2 × T_{ins})

s) / 2、の関係が満足される。このような膜厚以上のルテニウム膜 47 を形成すれば、ルテニウム膜 47 により孔 43 を埋め込むことが可能となり、次に説明する第 2 層をスパッタ法により形成できる。

【0071】なお、ルテニウム膜 47 の CVD 法による堆積に先立ち、スパッタ法により薄いルテニウム膜を形成しても良い。この場合、スパッタ法によるルテニウム膜は、CVD 法におけるシード膜として機能する。これにより、ルテニウム膜 47 の形成を容易にし、埋め込み性を向上できる。

【0072】次に、図 9 に示すように、第 2 層であるタングステン膜 48 を形成する。タングステン膜 48 は、前記したルテニウム膜 47 (第 1 層) とともに後に説明する DRAM キャパシタの上部電極 49 を構成する。

【0073】タングステン膜 48 は、スパッタ法により形成される。前記したとおり、ルテニウム膜 47 で下部電極 45 間の凹部が埋め込まれてその表面はほぼ平坦に形成されている。このため、ステップカバレージあるいは埋め込み性に優れた CVD 法を用いる必要がない。仮に CVD 法によりタングステン膜を堆積する場合には、CVD 雰囲気中に水素が含まれ還元性になる。本実施の形態では、前記の通り BST 膜 46 が用いられており、また、ルテニウム膜 47 を通して水素が BST 膜 46 に達する可能性がある。BST 膜 46 には酸素が含まれ、仮に水素が BST 膜 46 に達した場合には水素により膜中の酸素が引き抜かれて酸素欠陥が増加する可能性がある。従って、酸素欠陥回復後の BST 膜 46 が形成された後に還元雰囲気を生ずる CVD 法を用いず、スパッタ法を用いる本実施の形態は、BST 膜 46 の性能 (たとえばリーク電流の低減) を向上する上で効果が大きい。

【0074】また、タングステン膜 48 の膜厚 T2 は、ルテニウム膜 47 の膜厚 T1 よりも大きく形成する。このように T2 > T1 とすることにより、上部電極 49 全体のストレスを低減できる。すなわち、ルテニウム等白金族は一般に内部応力 (ストレス) が大きい。このような白金族のみで上部電極 49 を構成する場合、必要な抵抗値まで抵抗を低減するには相当の膜厚を必要とすることを前提にすれば、上部電極 49 全体のストレスが大きくなる。一方、タングsten は白金族のように大きなストレスを生じない。大きなストレスを有した状態では、キャパシタの性能低下、特に BST 膜 46 へのストレスによるリーク電流の増加等が発生する。しかし、本実施の形態では、下層 (ルテニウム膜 47) と上層 (タングステン膜 48) とに分けて上部電極 49 を構成するため、必要な膜厚 (上部電極 49 全体の膜厚) を確保しつつ、上部電極 49 全体のストレスを低く抑制できる。これによりキャパシタ特性 (リーク電流特性) を良好に維持できる。

【0075】また、タングステン膜 48 を形成することにより、上部電極 49 の抵抗値を低く維持できる。すな

わち、ルテニウムは抵抗率が $50 \mu\Omega \text{cm}$ であるのに対し、タングsten の抵抗率は $10 \mu\Omega \text{cm}$ と低い。このため、同じ膜厚であっても仮にルテニウム膜 47 のみで上部電極 49 を構成する場合よりも本実施の形態の上部電極 49 ではその全体の抵抗値を低減できる。しかも、前記の通り、タングsten 膜 48 の膜厚を厚く形成できるため、上部電極 49 の抵抗をさらに低減できる。たとえばルテニウム膜 47 の膜厚を 50nm とし、タングsten 膜の膜厚を 100nm とした場合には、シート抵抗は $1 \Omega / \square$ となる。仮に、膜厚 50nm のルテニウム膜のみで下部電極を構成した場合にはシート抵抗が $10 \Omega / \square$ となることと比較して格段に上部電極 49 の抵抗値を低減できる。

【0076】また、タングsten 膜 48 には、実質的に酸素が含まれない。このため、後に説明するプラグが形成されても、プラグ (たとえば窒化チタンとタングsten との積層膜で構成される) 中の金属 (たとえばチタン) との酸化膜が界面に形成されない。このような酸化物 (酸化チタン) は不導体、または、電気抵抗の高い物質であり、仮にプラグとタングsten 膜 48 (上部電極 49) との間に形成された場合には電氣的接続の阻害要因、あるいは導通不良の原因となるが、本実施の形態ではそのような酸化物 (導通阻害物) が形成されない。この結果、プラグとキャパシタとの接続を確実にし、また接続信頼性を向上して DRAM の信頼性および性能を高く維持できる。なお、ここで、タングsten 膜 48 には酸素が実質的に含まれないと表現したが、前記のような導通阻害物が形成されない程度の酸素の含有を排除するものではない。すなわち、酸素が含まれていてもその量がきわめて少なく、導通阻害物を形成してもトンネリングにより導通が確保できる程度、あるいは容易に絶縁破壊され導通を阻害しない程度の膜厚で形成されるにすぎない程度の酸素の混入は許容される。たとえばプラグ形成前の段階でタングsten 膜 48 表面に付着した大気雰囲気中の酸素あるいは水蒸気等である。また、タングsten 膜 48 の形成 (スパッタ) 時に不可避免的に混入されるスパッタ雰囲気中の酸素である。

【0077】タングsten 膜 48 は、上記した特徴以外にも、第 1 層であるルテニウム膜 47 よりもシリコン酸化膜のエッチング条件におけるエッチング速度が低い材料であること、酸化性雰囲気における揮発速度が遅いこと、等の特徴を有するが、この点は後の工程で詳述する。

【0078】次に、図 10 に示すように、タングsten 膜 48 上に図示しないフォトリソist 膜を形成し、これをマスクとしてタングsten 膜 48、ルテニウム膜 47 および BST 膜 46 をエッチングする。これによりタングsten 膜 48 (第 2 層) およびルテニウム膜 47 (第 1 層) からなる上部電極 49 と、BST 膜 46 からなるキャパシタ絶縁膜 50 とを形成する。また、このとき同

時にシリコン窒化膜 4 1 もエッチングして除去する。これにより周辺回路部のシリコン窒化膜 4 1 が除去され、後に周辺回路部にスルーホールが形成される際のエッチングを容易にすることができる。

【0079】なお、前記エッチングにおいて、フォトリソ膜をマスクとしてタングステン膜 4 8 をエッチングし、フォトリソ膜を除去し、タングステン膜 4 8 をマスクとしてさらにルテニウム膜 4 7 その他の膜をエッチングしても良い。この場合、タングステン膜 4 8 をハードマスクとして機能させることができ、エッチング加工の精度を向上できる。

【0080】また、前記エッチングを異方性エッチングあるいはエッチング断面がほぼ垂直に加工されるようなエッチングを施した場合には、図 11 (a) に示すようなエッチング断面が形成される。図 11 (a)、(b) は図 10 における A 部の拡大断面図である。すなわち、タングステン膜 4 8 その他の膜の断面はほぼ垂直に加工されるが、ルテニウム膜 4 7 のエッチング断面にはテーパーが形成される。これは、ルテニウム膜 4 7 のエッチングがタングステン等のエッチングと比較して困難であり、垂直に加工し難い加工困難性を有するからである。このような場合、ルテニウム膜 4 7 の側壁には揮発性の低い反応生成物（たとえば RuO_4 ）が形成される場合がある。このような反応生成物はその後の洗浄工程等で剥離し、塵になる可能性がある。そこで、図 11 (b) に示すように、タングステン膜 4 8、ルテニウム膜 4 7 および BST 膜 4 6 を斜めにエッチングされるような条件でエッチングを行うことができる。これによりルテニウム膜 4 7 側壁の反応生成物（サイドフィルム）の形成を防止して、塵の発生を防止し、半導体集積回路装置の歩留まりおよび信頼性の向上を図れる。なお、斜めエッチングの角度は、テーパー面の上端 P 1 から下地面に下ろした垂線の足 P 2 からテーパー面の下端 P 3 までの距離 X が、最小加工寸法（たとえば $0.13 \mu\text{m}$ ）の 2 分の 1 以上の値（たとえば 65 nm 以上）とすることができる。

【0081】また、図 12 に示すように、上部電極 4 9 のパターニングと同時にローカル配線 5 1 のパターニングを行うことができる。すなわち、上部電極 4 9 は、メモリマット毎に形成されるが、隣接するメモリマット間を接続する配線としてローカル配線 5 1 を形成できる。ローカル配線 5 1 は、上部電極 4 9 と同様にルテニウム膜 4 7 およびタングステン膜 4 8 からなる。本実施の形態では、タングステン膜 4 8 を設けているため、ローカル配線 5 1 の抵抗を低減することができる。また、ローカル配線 5 1 は、メモリマット毎の上部電極 4 9 間を接続する配線として形成するため、スルーホールを介して上層に引き上げ、第 2 層配線を介して上部電極 4 9 間を接続する必要がない。このためスルーホールを形成するための面積を必要とせず、高集積化を図るとともに、設計を容易にすることができる。なお、ここでは上部電極

4 9 間を接続する配線を例示したが、周辺回路領域のローカル配線として用いても良い。

【0082】次に、図 13 に示すように、上部電極 4 9 を覆うシリコン酸化膜 5 2 を形成する。シリコン酸化膜 5 2 は、たとえば TEOS 酸化膜の堆積と CMP 法による研磨により表面を平坦化して形成できる。

【0083】次に、図 14 に示すように、シリコン酸化膜 5 2 上にフォトリソ膜 5 3 を形成する。フォトリソ膜 5 3 は、第 2 層配線と上部電極 4 9 とを接続するプラグ、および、第 2 層配線と第 1 層配線とを接続するプラグが形成される領域に開口を有するように形成する。ここでは、たとえば第 2 層配線と上部電極 4 9 とを接続するプラグに対応する開口を 5 4、第 2 層配線と第 1 層配線 3 1 とを接続するプラグに対応する開口を 5 5 とする。開口 5 4、5 5 を有するフォトリソ膜 5 3 をマスクとしてシリコン酸化膜 5 2 をエッチングすれば、そのエッチング工程の途中で開口 5 4 についてはエッチング孔が上部電極 4 9 の表面（タングステン膜 4 8 表面）に達し、開口 5 5 についてはエッチング孔が未だ第 1 層配線 3 1 表面に達しない状況が生ずる。この時点では、未だスルーホールの開口工程は終了しないから、開口 5 4 についてはオーバーエッチング状態となる。この際、タングステン膜 4 8 は、エッチングストップとして機能する。すなわち、第 2 層であるタングステン膜 4 8 は第 1 層であるルテニウム膜 4 7 よりもシリコン酸化膜をエッチングする条件におけるエッチング速度が小さい材料となっている。仮にタングステン膜 4 8 が形成されない上部電極 4 9 の構成では、前記したエッチング途中においてエッチング孔がルテニウム膜に達した段階で、ルテニウムがエッチングされ始める。ルテニウムはシリコン酸化膜のエッチング雰囲気においてエッチング耐性を有しないから、ルテニウム膜を貫通してスルーホールが形成されることとなる。これに対して本実施の形態ではタングステン膜 4 8 が形成されているため、上部電極 4 9 を貫通してスルーホールが形成されることはない。この結果、後に形成されるプラグと上部電極 4 9 との接触面積を十分に大きく保つことができ、上部電極 4 9 とプラグとの接続信頼性を高めることができる。

【0084】さらにエッチングを継続し、図 15 に示すように、スルーホール 5 6、5 7 を完成する。

【0085】次に、図 16 に示すように、フォトリソ膜 5 3 を除去する。フォトリソ膜 5 3 の除去は酸素等のプラズマ雰囲気における処理（アッシング）により行う。このアッシングでは、スルーホール 5 6、5 7 の底部も酸化性雰囲気には曝されるが、本実施の形態ではタングステン膜 4 8 が形成されており、このタングステン膜 4 8 が酸化防止膜として機能するため、ルテニウム膜 4 7 が揮発することがない。すなわち、ルテニウム等白金族材料は酸化性雰囲気により揮発するが、仮にスルーホール 5 6 が上部電極 4 9 を貫通して形成される場合

には、ルテニウム膜 4 7 がこの酸化性雰囲気中に曝されることとなり、揮発によりその端面が後退することとなる。上部電極 4 9 がルテニウム膜のみで構成される従来技術では、このようなルテニウムの後退により上部電極とプラグとの接続不良を生じる。しかし、本実施の形態ではこのような不具合は生じ得ない。

【0086】また、従来技術においては、スルーホール 5 6 の底部においてルテニウム膜が露出されるため、アッシング雰囲気によりルテニウム膜に酸素が吸入される。この酸素によりプラグとの間の金属酸化物（たとえば酸化チタン）を生じ、プラグと上部電極との間の接続信頼性が損なわれる問題があることは前記した。しかし、本実施の形態ではタングステン膜 4 8 が形成され、スルーホール 5 6 底部にルテニウム膜 4 7 が露出することはない。このため、アッシング雰囲気からの酸素の吸入は行われず、また、タングステン膜 4 8 は、十分な耐酸化性を有し、酸素が吸入されることもないため、プラグと上部電極 4 9 との間に酸化チタン等接続不良を生じる物質が形成されることもない。このため、上部電極 4 9 とプラグとの接続信頼性を高く維持し、半導体集積回路装置の性能と信頼性を向上できる。

【0087】次に、図 1 7 に示すように、スルーホール 5 6、5 7 の内部を含むシリコン酸化膜 5 2 上にバリア膜である窒化チタン膜 5 8 およびタングステン膜 5 9 を堆積する。窒化チタン膜 5 8 およびタングステン膜 5 9 の堆積にはたとえば CVD 法を用いる。窒化チタン膜 5 8 はスルーホール 5 6、5 7 の内壁に沿うように形成し、タングステン膜 5 9 はスルーホール 5 6、5 7 を埋め込むように形成する。

【0088】次に、図 1 8 に示すように、エッチバック法または CMP 法を用いて、シリコン酸化膜 5 2 上の窒化チタン膜 5 8 およびタングステン膜 5 9 を除去する。これによりプラグ 6 0 を形成する。なお、プラグ 6 0 と上部電極 4 9 との接続部には窒化チタンが形成されているが、タングステン膜 4 8 には酸素が実質的に含まれないため、プラグ 6 0 との界面に電氣的接続を阻害するような物質（たとえば酸化チタン）が形成されることはない。

【0089】次に、図 1 9 に示すように、プラグ 6 0 に接続する第 2 層配線を形成する。第 2 層配線は、シリコン酸化膜 5 2 上に形成されたシリコン窒化膜 6 1 とその上層のシリコン酸化膜 6 2 の溝 6 3 に形成される。溝 6 3 はシリコン酸化膜 6 2 上に形成されたフォトレジスト膜（図示せず）をマスクとして、2 段階のエッチングにより形成される。すなわち、シリコン酸化膜がエッチングされるがシリコン窒化膜がエッチングされない条件の第 1 段階のエッチングによりシリコン酸化膜 6 2 をエッチングし、その後シリコン窒化膜がエッチングされる第 2 の段階のエッチングによりシリコン窒化膜 6 1 をエッチングする。これにより、下地であるシリコン酸化膜 5

2 の過剰なエッチングを防止できる。

【0090】溝 6 3 内への第 2 層の配線は、タンタル、窒化チタン等のバリア膜 6 4 の堆積後、銅膜 6 5 をメッキ法あるいはスパッタ法により形成し、その後これを CMP 法により研磨して溝 6 3 内にもみ残すことにより形成する。

【0091】その後、層間絶縁膜、第 3 層配線等上層配線を形成することができるが、説明を省略する。

【0092】本実施の形態によれば、上部電極 4 9 を第 1 層であるルテニウム膜 4 7 と第 2 層であるタングステン膜 4 8 で構成するため、プラグ 6 0 との接続信頼性を高くすることができる。また、上部電極 4 9 の抵抗を低減できる。

【0093】（実施の形態 2）図 2 0 ～図 2 5 は、本発明の他の実施の形態である DRAM の製造方法を工程順に示した断面図である。なお、実施の形態 1 と同様、基板の断面を示す各図の左側部分は DRAM のメモリセルが形成される領域（メモリセルアレイ）を示し、右側部分は周辺回路領域を示している。

【0094】本実施の形態の製造方法は、実施の形態 1 における図 3 までの工程と同様であり、その詳細な説明は省略する。

【0095】実施の形態 1 の図 3 に示すように、孔 4 3 をシリコン酸化膜 4 2 に形成後、図 2 0 に示すように、ルテニウム膜 6 6 を形成する。ルテニウム膜 6 6 は、実施の形態 1 のように孔 4 3 を埋め込むように形成するのとは相違し、図 2 0 のように孔 4 3 の内壁に沿うように形成する。ルテニウム膜 6 6 の膜厚はたとえば 50 nm とする。また、ルテニウム膜 6 6 は、スパッタ法あるいは CVD 法の何れの方法を用いてもよい。CVD 法による場合は実施の形態 1 と同様に形成でき、微細に加工された孔 4 3 の内壁に均一に被膜形成できる。

【0096】次に、図 2 1 に示すように、シリコン酸化膜 4 2 表面のルテニウム膜 6 6 を除去し、孔 4 3 の内壁にのみルテニウム膜 6 6 を残して下部電極 6 7 を形成する。シリコン酸化膜 4 2 表面のルテニウム膜 6 6 の除去は、CMP 法、エッチバック法を用いることができる。この除去工程に際して、孔 4 3 を埋め込むシリコン酸化膜（ただしシリコン酸化膜 4 2 とのエッチング選択比がとれることを要する。たとえば SOG (Spin On Glass) 等）を形成してもよい。

【0097】このように本実施の形態の下部電極 6 7 は実施の形態 1 と相違し、上部に開口を有する筒型で形成される。キャパシタを構成する面は、筒型の内壁面となる。

【0098】次に、図 2 2 に示すように、下部電極 6 7 の内壁面に沿う BST 膜 6 8 を実施の形態 1 と同様に形成する。

【0099】次に、図 2 3 に示すように、BST 膜 6 8 上に第 1 層であるルテニウム膜 6 9 を形成する。ルテニ

ウム膜 69 は孔 43 による凹部を埋め込むように形成する。このように凹部を埋め込むのは実施の形態 1 と同様であるが、埋め込むに要するルテニウム膜 69 の膜厚が実施の形態 1 の場合より本実施の形態では薄くなる。すなわち、本実施の形態では孔 43 の内壁に筒型の下部電極 67 を形成しているため、下部電極 67 (ルテニウム膜 66) の膜厚の 2 倍分だけルテニウム膜 69 の膜厚を薄くできる。このため、ルテニウム膜 69 による応力の発生を小さくでき、後に説明する上部電極全体の応力を低減できる。

【0100】次に、図 24 に示すように、ルテニウム膜 69 上にタングステン膜 70 を形成する。タングステン膜 70 の膜厚は、ルテニウム膜 69 の膜厚よりも厚く形成する。これにより次に説明する上部電極の抵抗値を低減できる。なお、タングステン膜 70 の内部応力は小さいため、これを厚く形成しても上部電極全体のストレスはあまり大きくならない。

【0101】次に、図 25 に示すように、フォトリソスト膜をマスクとしてタングステン膜 70、ルテニウム膜 69 および BST 膜 68 をエッチングする。これにより、タングステン膜 70 およびルテニウム膜 69 からなる上部電極 71 を形成する。本実施の形態では相対的にタングステン膜 70 の膜厚が厚くルテニウム膜 69 の膜厚が薄いので、加工が困難なルテニウム膜 69 の寄与が少ない。このため、上部電極 71 の加工が容易になる。

【0102】さらに、上部電極 71 を覆う絶縁膜 72 を形成する。絶縁膜 72 はたとえば TEOS 酸化膜とし、その表面はたとえば CMP 法により平坦化する。本実施の形態では、周辺回路領域にシリコン酸化膜 42 が残されているので、アズデポ状態つまり CMP 法による研磨の前の絶縁膜 72 の段差が小さい。このため CMP 工程の負荷を低減できる。

【0103】その後の工程は実施の形態 1 と同様であるため、説明を省略する。

【0104】本実施の形態によれば、上部に開口を有する筒型の下部電極 67 においても実施の形態 1 と同様な効果が得られる。

【0105】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0106】たとえば、上記実施の形態 1、2 では、バリア膜 40 をプラグ 39 の上部に形成した後シリコン窒化膜 41 およびシリコン酸化膜 42 を形成する例を説明したが、図 26 および図 27 に示すように、孔 43 の形成後にバリア層としてルテニウムシリサイドを形成しても良い。すなわち、シリコン窒化膜 41 およびシリコン酸化膜 42 に孔 43 を形成後、図 26 に示すように、ルテニウム膜 73 をたとえばスパッタ法により形成する。膜厚はたとえば 50 nm とする。次に、図 27 に示

すように、基板 1 にたとえば 600°C 程度の熱処理を施す。これによりシリコンからなるプラグ 39 とルテニウム膜 73 とを反応させルテニウムシリサイド 74 を形成する。その後、たとえばドライエッチングによりルテニウム膜 73 を除去する。その後の工程は実施の形態 1 あるいは実施の形態 2 と同様である。

【0107】また、上記実施の形態 1、2 では、第 1 層であるルテニウム膜 47 あるいはルテニウム膜 69 により、隣接する下部電極 45 間の凹部あるいは下部電極 67 の筒形状による凹部を埋め込む例を説明したが、図 28 ~ 図 30 に示すように、第 2 層であるタングステン膜で凹部を埋め込んでも良い。すなわち、図 28 に示すように、BST 膜 46 の形成後、実施の形態 1、2 と同様に CVD 法によりルテニウム膜 75 を形成する。次に、図 29 に示すように、スパッタ法によりタングステン膜 76 を形成する。このタングステン膜 76 はスパッタ法により形成されるため水素等還元雰囲気起因する BST 膜 46 の劣化の心配はない。その後、図 30 に示すように、CVD 法によりタングステン膜 77 を形成する。これにより前記凹部を埋め込む。CVD 法によりタングステン膜 77 を形成する際には還元雰囲気に置かれるが、タングステン膜 76 がブロッキング膜として作用し、BST 膜 46 を劣化させることはない。その後の工程は実施の形態 1 と同様である。なお、実施の形態 2 についても同様に適用できる。

【0108】また、前記実施の形態では、下部電極 45、67 としてルテニウムを例示したが、これに限られず、貴金属膜、そのシリサイド膜もしくは酸化膜またはそれらの化合物膜、たとえば白金膜、ルテニウムシリサイド膜、または、SRO 膜でも良い。これらを下部電極 45、46 に用いても誘電率の高い BST 膜をキャパシタ絶縁膜に適用できる。

【0109】また、前記実施の形態では、キャパシタ絶縁膜として BST 膜 46、68 を例示したが、STO 膜、または、酸化タンタル膜でもよい。

【0110】また、前記実施の形態では、上部電極 49、71 の第 1 層としてルテニウム膜 47、69 を例示したが、貴金属膜、そのシリサイド膜もしくは酸化膜またはそれらの化合物膜、たとえば白金膜、ルテニウムシリサイド膜、または、SRO 膜でも良い。なお、キャパシタ絶縁膜に酸化タンタル膜を用いた場合には第 1 層として窒化チタン膜を適用できる。

【0111】また、前記実施の形態では、上部電極 49、71 の第 2 層としてタングステン膜 48、70 を例示したが、IVb 族、Vb 族もしくは VIb 族元素からなる金属膜またはそれらの窒化膜、シリサイド膜もしくは化合物膜、たとえばチタン膜、タンタル膜、窒化タングステン膜、窒化チタン膜、窒化タンタル膜、チタンアルミニウムナイトライド膜、チタンシリコンナイトライド膜、または、タンタルシリコンナイトライド膜でも良

い。これらの膜であっても、酸化性雰囲気での耐酸化性、耐揮発性、シリコン酸化膜エッチング雰囲気における耐エッチング性、導電性、酸素非吸引性等の性能が満たされ、前記実施の形態と同様の効果が得られる。

【0112】また、前記実施の形態の上部電極 4 9、7 1 は、ルテニウム膜 4 7、6 9 とタングステン膜 4 8、7 0 との積層膜を例示したが、さらに窒化チタン膜が形成されても良い。窒化チタン膜は水素に対するブロッキング性能、吸収性を有し、キャパシタが形成された後に水素がキャパシタ絶縁膜（たとえば B S T 膜）に達するのを抑制できる。これにより、キャパシタの性能および信頼性を高く維持できる。

【0113】また、前記実施の形態では、D R A M に適用した場合について説明したが、D R A M を含む半導体集積回路装置、たとえばシステム L S I 等に広く適用することができる。

【0114】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0115】すなわち、キャパシタ上部電極と上層配線に接続するプラグとの間の導通信頼性を高く維持でき、また、接続不良が生じない半導体集積回路装置を提供できる。また、キャパシタ上部電極の抵抗を低減できる。

【図面の簡単な説明】

【図 1】本発明の一実施の形態（実施の形態 1）である D R A M の製造方法を工程順に示した断面図である。

【図 2】実施の形態 1 の D R A M の製造方法を工程順に示した断面図である。

【図 3】実施の形態 1 の D R A M の製造方法を工程順に示した断面図である。

【図 4】実施の形態 1 の D R A M の製造方法を工程順に示した断面図である。

【図 5】実施の形態 1 の D R A M の製造方法を工程順に示した断面図である。

【図 6】実施の形態 1 の D R A M の製造方法を工程順に示した断面図である。

【図 7】実施の形態 1 の D R A M の製造方法を工程順に示した断面図である。

【図 8】実施の形態 1 の D R A M の製造方法を工程順に示した断面図である。

【図 9】実施の形態 1 の D R A M の製造方法を工程順に示した断面図である。

【図 10】実施の形態 1 の D R A M の製造方法を工程順に示した断面図である。

【図 11】（a）および（b）は、図 10 における A 部を拡大して示した断面図である。

【図 12】実施の形態 1 の上部電極のパターンの一例を示した平面図である。

【図 13】実施の形態 1 の D R A M の製造方法を工程順

に示した断面図である。

【図 14】実施の形態 1 の D R A M の製造方法を工程順に示した断面図である。

【図 15】実施の形態 1 の D R A M の製造方法を工程順に示した断面図である。

【図 16】実施の形態 1 の D R A M の製造方法を工程順に示した断面図である。

【図 17】実施の形態 1 の D R A M の製造方法を工程順に示した断面図である。

【図 18】実施の形態 1 の D R A M の製造方法を工程順に示した断面図である。

【図 19】実施の形態 1 の D R A M の製造方法を工程順に示した断面図である。

【図 20】本発明の他の実施の形態（実施の形態 2）である D R A M の製造方法を工程順に示した断面図である。

【図 21】実施の形態 2 の D R A M の製造方法を工程順に示した断面図である。

【図 22】実施の形態 2 の D R A M の製造方法を工程順に示した断面図である。

【図 23】実施の形態 2 の D R A M の製造方法を工程順に示した断面図である。

【図 24】実施の形態 2 の D R A M の製造方法を工程順に示した断面図である。

【図 25】実施の形態 2 の D R A M の製造方法を工程順に示した断面図である。

【図 26】実施の形態 1、2 の D R A M の製造方法の他の例を工程順に示した断面図である。

【図 27】実施の形態 1、2 の D R A M の製造方法の他の例を工程順に示した断面図である。

【図 28】実施の形態 1 の D R A M の製造方法のさらに他の例を工程順に示した断面図である。

【図 29】実施の形態 1 の D R A M の製造方法のさらに他の例を工程順に示した断面図である。

【図 30】実施の形態 1 の D R A M の製造方法のさらに他の例を工程順に示した断面図である。

【符号の説明】

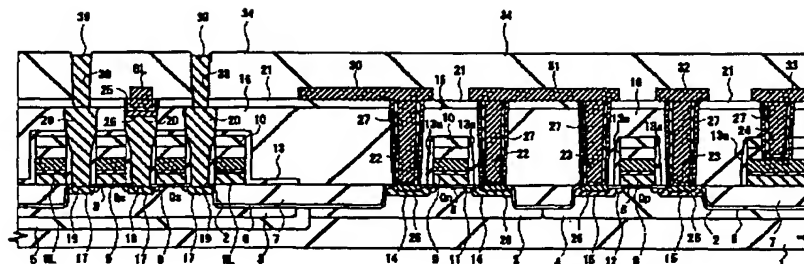
- 1 基板
- 2 素子分離溝
- 3 p 型ウェル
- 4 n 型ウェル
- 5 n 型ウェル
- 6 シリコン酸化膜
- 7 シリコン酸化膜
- 8 ゲート酸化膜
- 9 ゲート電極
- 10 キャップ絶縁膜
- 11 n 型半導体領域
- 12 p 型半導体領域
- 13 窒化シリコン膜

13a サイドウォールスペース
 14 n' 型半導体領域
 15 p' 型半導体領域
 16 シリコン酸化膜
 17 n' 型半導体領域
 18 コンタクトホール
 20 プラグ
 21 シリコン酸化膜
 22 コンタクトホール
 26 シリサイド膜
 27 プラグ
 30~33 第1層配線
 34 シリコン酸化膜
 38 スルーホール
 39 プラグ
 40 バリア膜
 41 シリコン窒化膜
 42 シリコン酸化膜
 43 孔
 44 ルテニウム膜
 45 下部電極
 46 BST膜
 47 ルテニウム膜
 48 タングステン膜
 49 上部電極
 50 キャパシタ絶縁膜
 51 ローカル配線
 52 シリコン酸化膜

53 フォトリソグロウ膜
 54、55 開口
 56、57 スルーホール
 58 窒化チタン膜
 59 タングステン膜
 60 プラグ
 61 シリコン窒化膜
 62 シリコン酸化膜
 63 溝
 10 64 バリア膜
 65 銅膜
 66 ルテニウム膜
 67 下部電極
 68 BST膜
 69 ルテニウム膜
 70 タングステン膜
 71 上部電極
 72 絶縁膜
 73 ルテニウム膜
 20 74 ルテニウムシリサイド
 75 ルテニウム膜
 76 スパッタ法によるタングステン膜
 77 CVD法によるタングステン膜
 BL ヒット線
 Qn nチャネル型MISFET
 Qp pチャネル型MISFET
 Qs メモリセル選択用MISFET
 WL ワード線

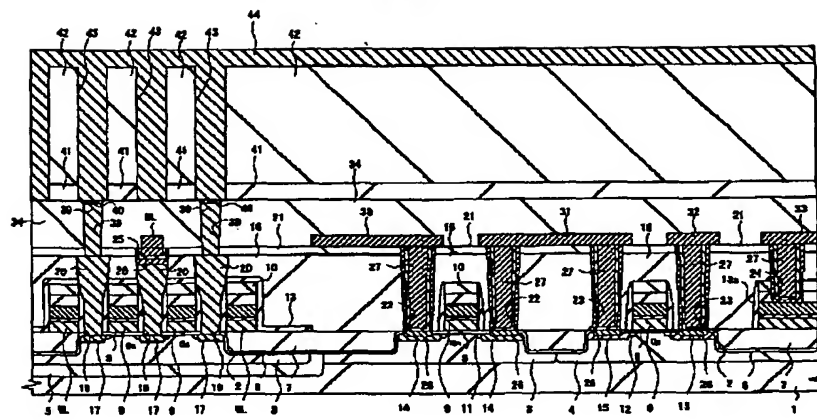
【図1】

図 1



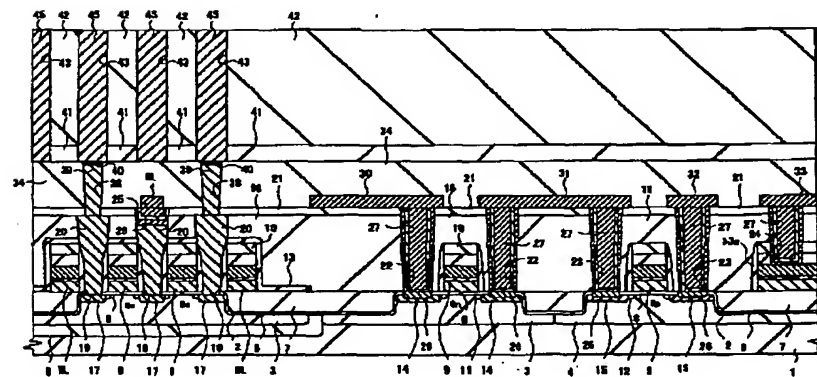
【図4】

図 4



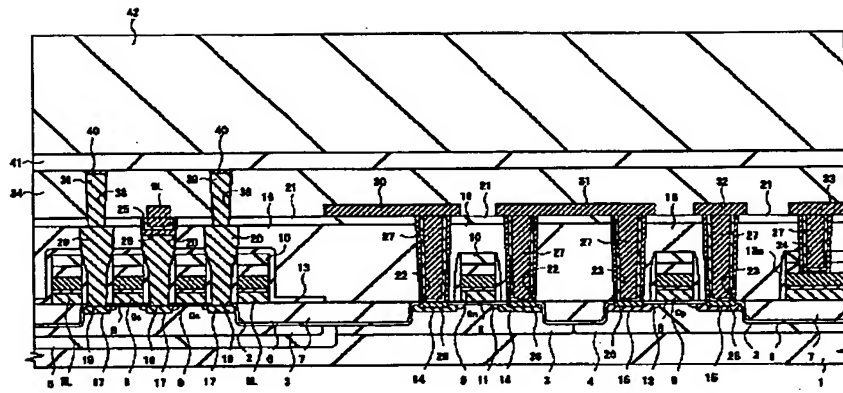
【図5】

図 5



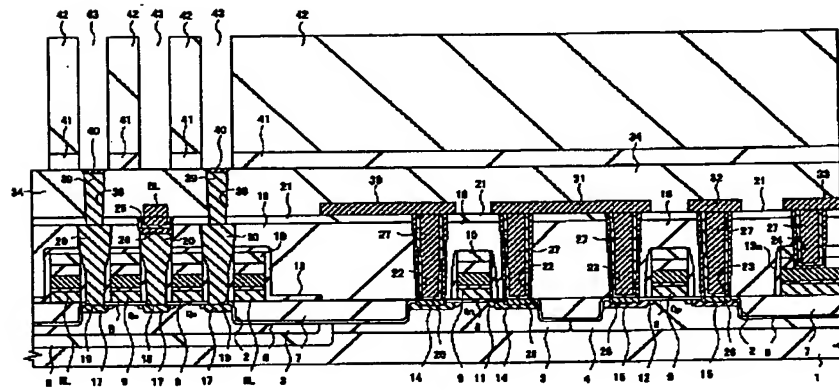
【図2】

図 2



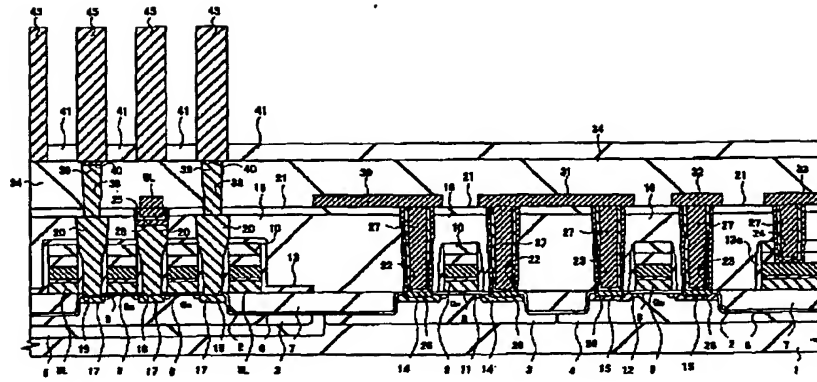
【図3】

図 3



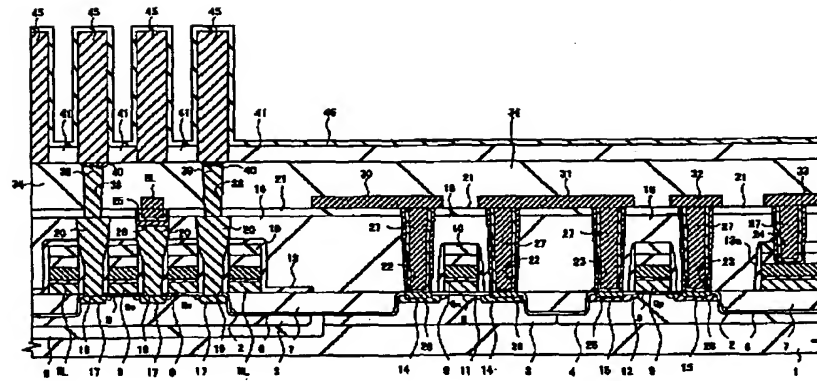
【図6】

図 6



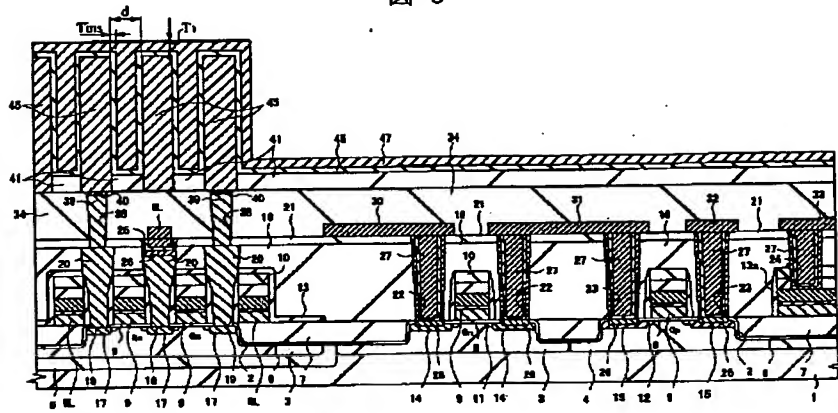
【図7】

図 7



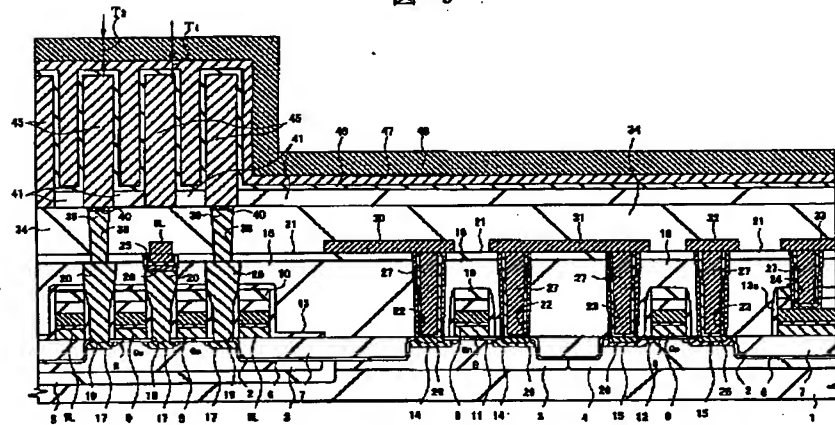
【図 8】

図 8



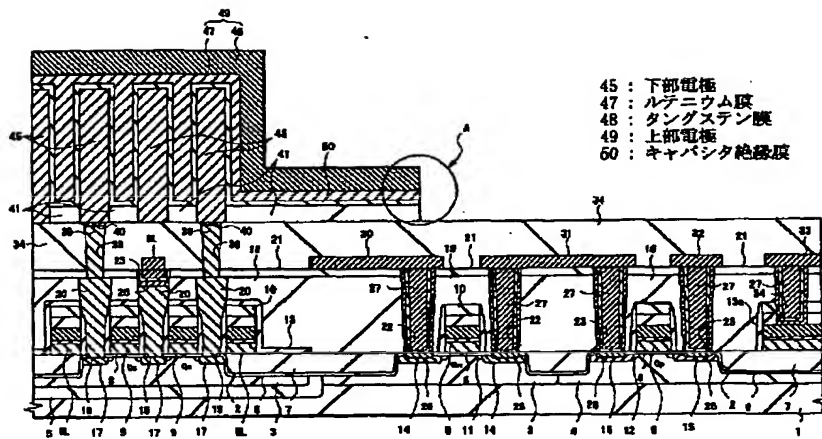
【図 9】

図 9



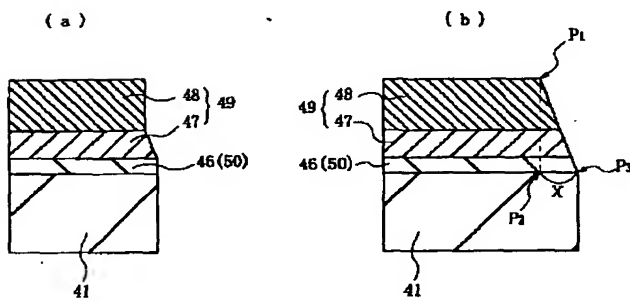
【図10】

図 10



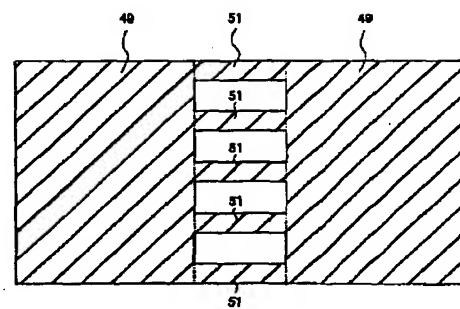
【図11】

図 11



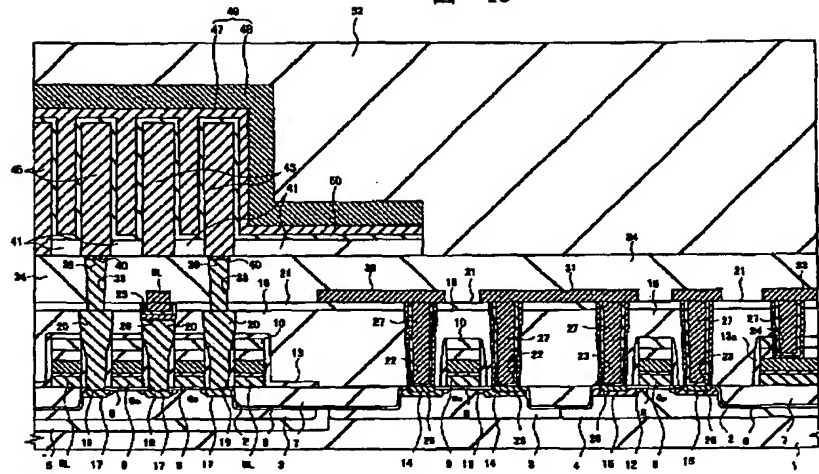
【図12】

図 12



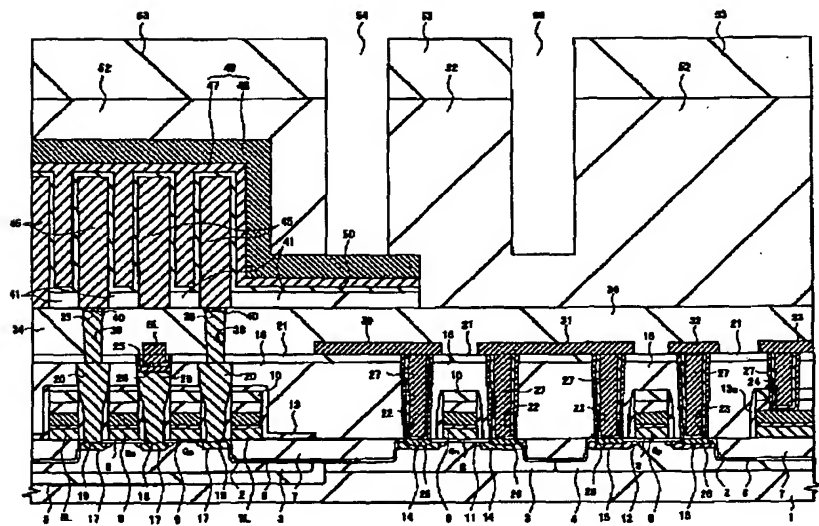
【図13】

図 13



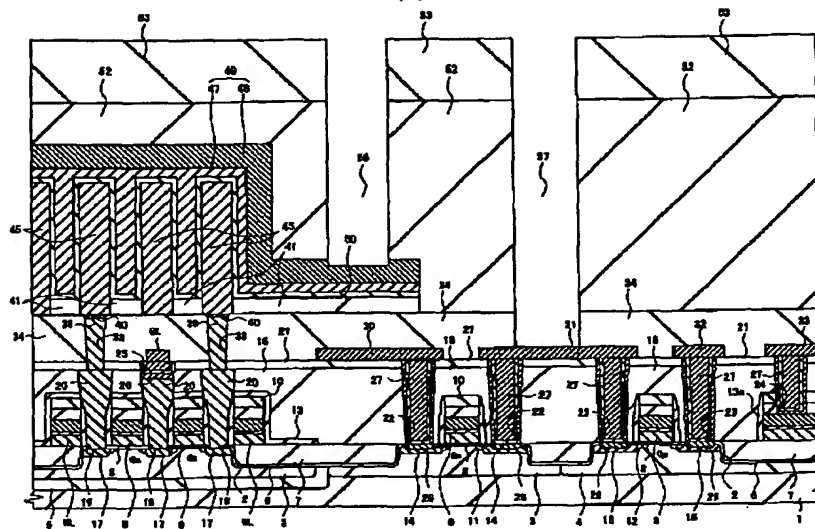
【図14】

図 14



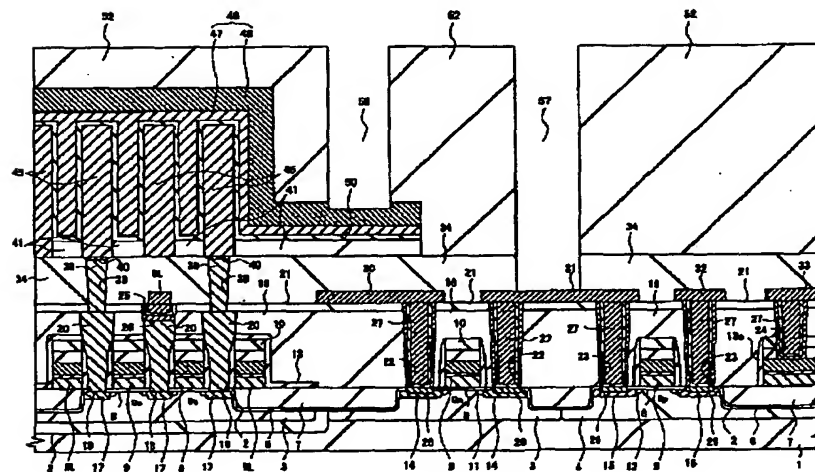
【図 15】

図 15



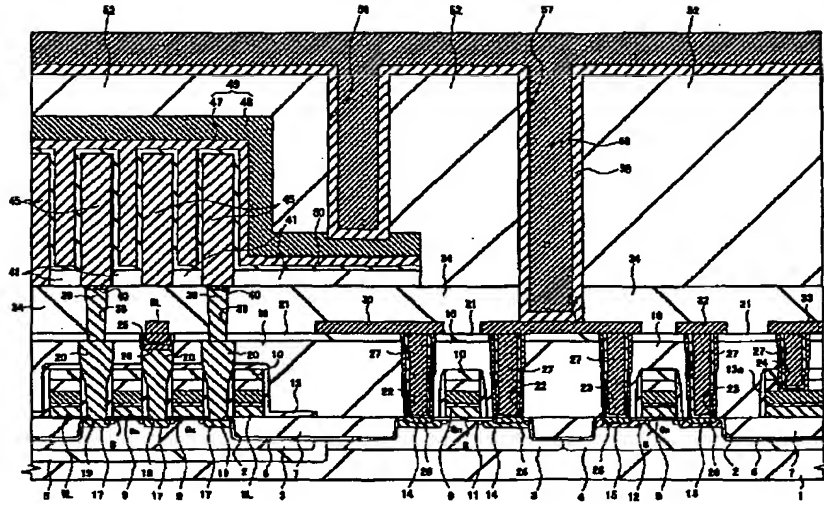
【図 16】

図 16



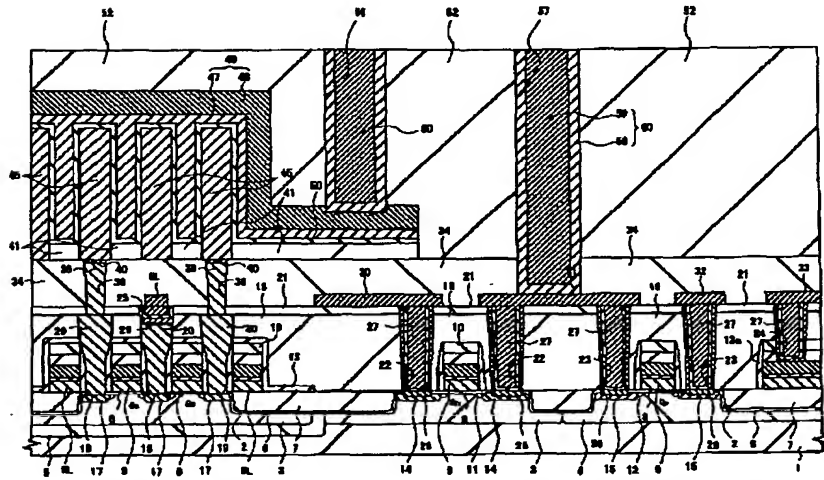
【図17】

図 17



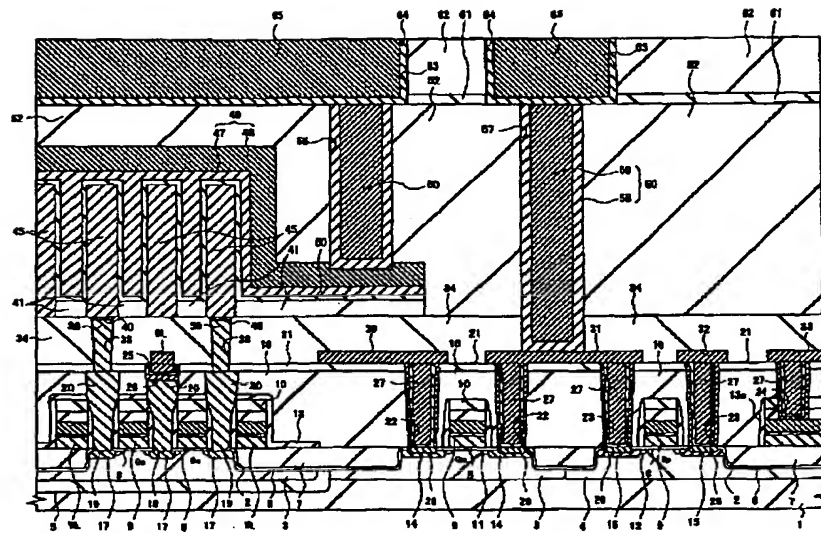
【図18】

図 18



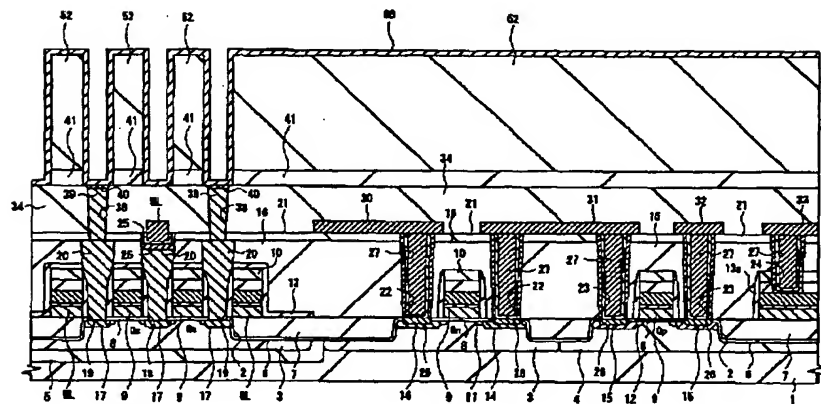
【図 19】

図 19



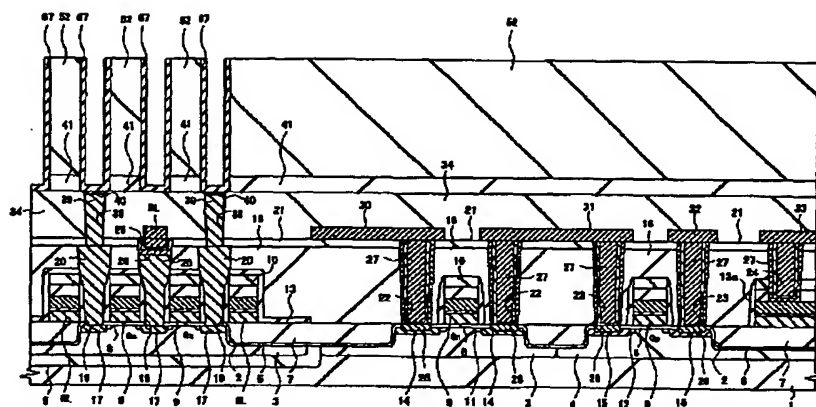
【図 20】

図 20



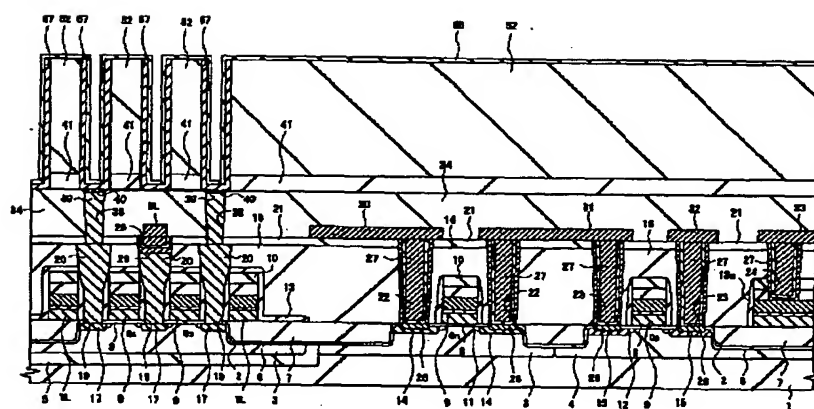
【図 21】

図 21



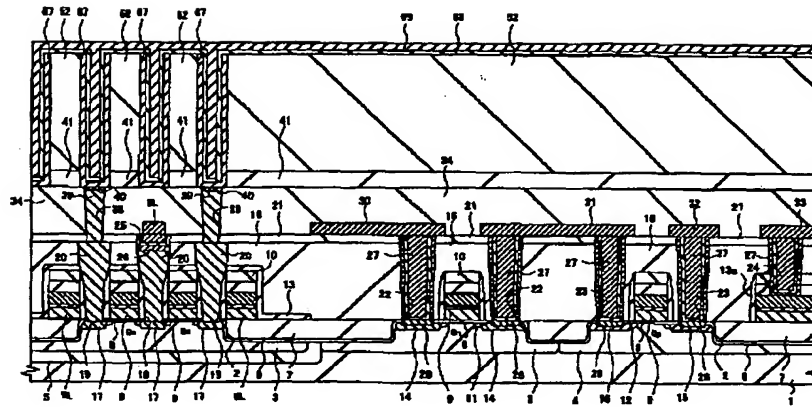
【図 22】

図 22



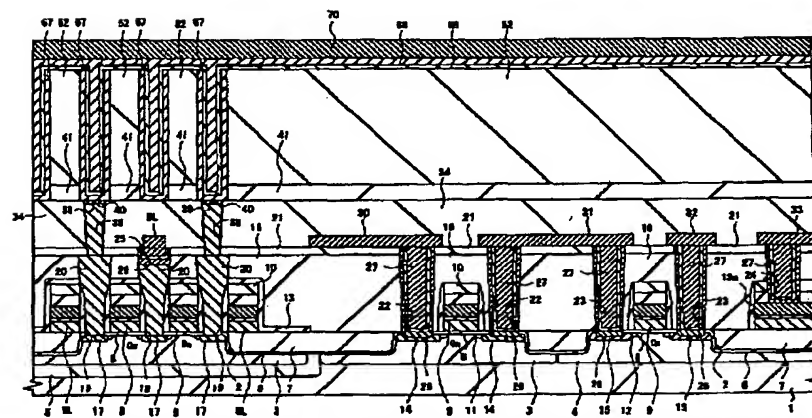
【図23】

図 23



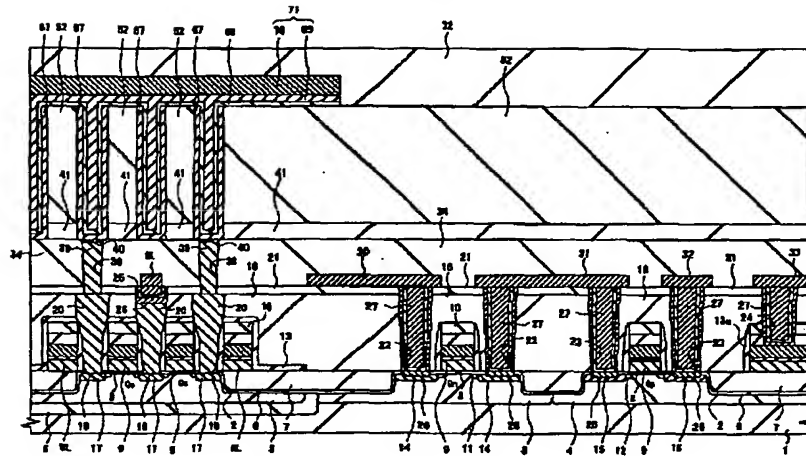
【図24】

図 24



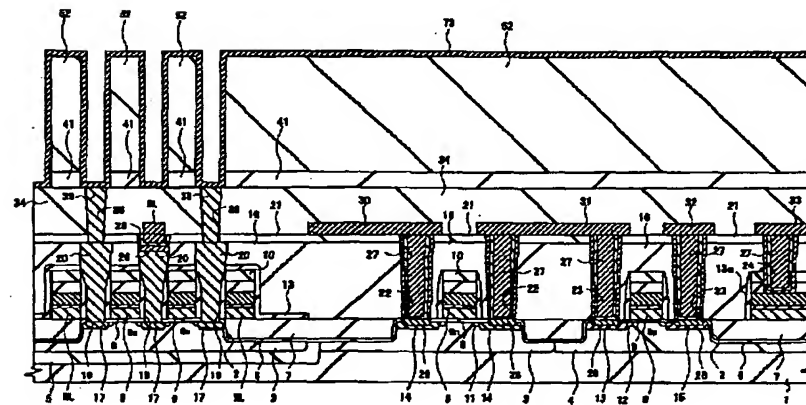
【図25】

図 25



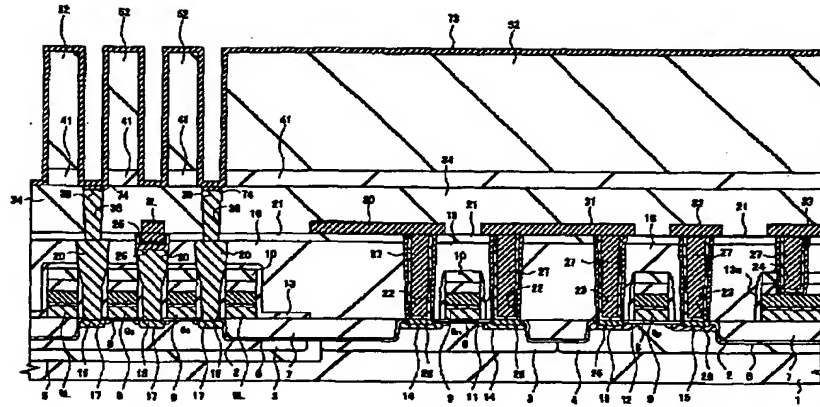
【図26】

図 26



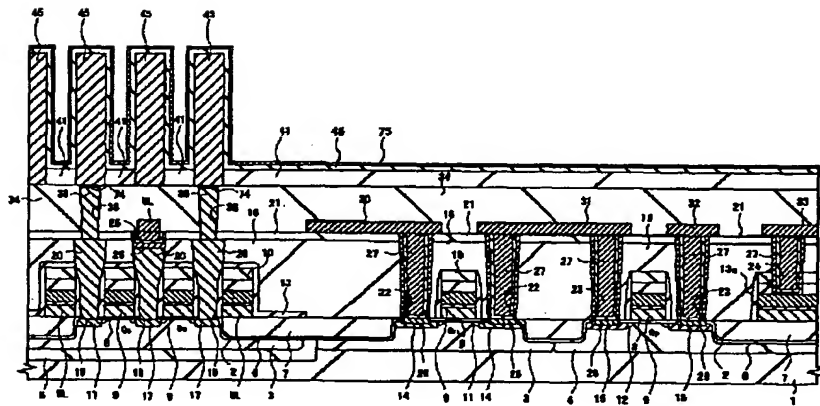
【図27】

図 27



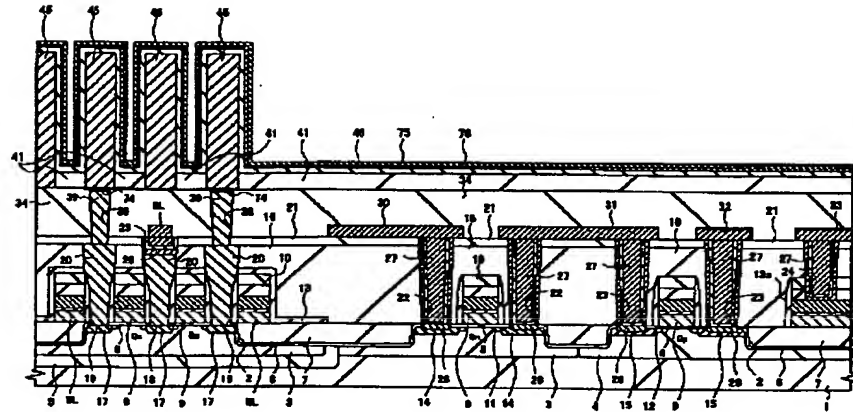
【図28】

図 28



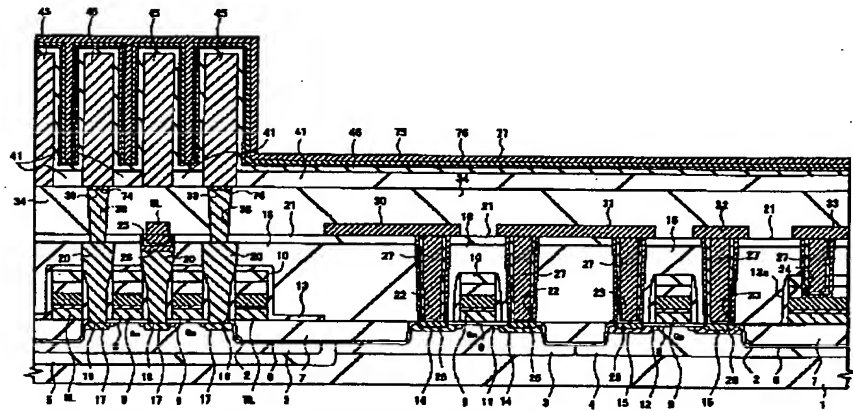
【図29】

図 29



【図30】

図 30



フロントページの続き

(72)発明者 山田 悟
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72)発明者 高橋 継雄
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

- (72)発明者 大路 譲
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内
- (72)発明者 平沢 賢斉
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内
- (72)発明者 湯之上 隆
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内
- (72)発明者 関口 知紀
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

Fターム(参考) 5F033 HH04 HH11 HH19 HH21 HH34
JJ04 JJ18 JJ19 JJ26 JJ31
JJ32 JJ33 JJ34 JJ36 KK01
KK19 MM01 MM05 MM08 MM13
NN03 NN06 NN07 PP06 PP15
PP27 PP28 QQ08 QQ09 QQ10
QQ11 QQ16 QQ21 QQ24 QQ25
QQ31 QQ35 QQ37 QQ39 QQ48
QQ73 RR04 RR06 SS04 SS11
TT02 TT07 TT08 VV06 VV10
VV16 XX09 XX10 XX21
5F083 AD10 AD24 AD42 AD48 GA02
GA27 GA30 JA02 JA06 JA14
JA32 JA35 JA38 JA39 JA40
JA43 JA44 JA56 KA20 MA05
MA06 MA17 MA18 MA19 MA20
NA01 PR03 PR05 PR06 PR10
PR12 PR21 PR22 PR36 PR39
PR40 PR43 PR44 PR46 PR53
PR54 PR56